

Family list

6 family members for:

JP2001053287

Derived from 5 applications.

- 1 Semiconductor device and manufacturing method thereof**
Publication info: EP1058310 A2 - 2000-12-06
- 2 SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF**
Publication info: JP2001053287 A - 2001-02-23
- 3 Semiconductor device having first and second insulating films**
Publication info: US6583471 B1 - 2003-06-24
- 4 Semiconductor device and manufacturing method thereof**
Publication info: US7007801 B2 - 2006-02-21
US2003201496 A1 - 2003-10-30
- 5 Document does not have an EPOQUE number**
Publication info: US 2006186982A1 - 2006-04-27

Data supplied from the esp@cenet database - Worldwide

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-053287

(43)Date of publication of application : 23.02.2001

(51)Int.Cl.

H01L 29/786
 G02F 1/1368
 G09F 9/30
 H01L 21/20
 H01L 21/3065
 H01L 21/3205
 H01L 21/8247
 H01L 27/115
 H01L 27/10
 H01L 29/788
 H01L 29/792

(21)Application number : 2000-165617

(71)Applicant : SEMICONDUCTOR ENERGY LAB
CO LTD

(22)Date of filing : 02.06.2000

(72)Inventor : YAMAZAKI SHUNPEI
SUZAWA HIDEOMI
YAMAGATA HIROKAZU

(30)Priority

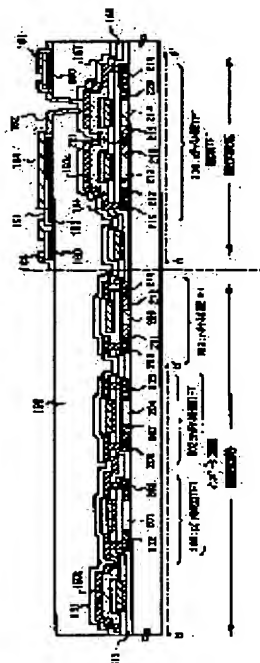
Priority number : 11154432 Priority date : 02.06.1999 Priority country : JP

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce a parasitic capacitance between multilayer interconnections to improve a semiconductor device in display characteristics.

SOLUTION: A part or all of a gate electrode overlapping with the channel forming regions 213 and 214 of pixel TFTs is superposed on second wirings (source wire or drain wire) 154 and 157 to improve a semiconductor device in numerical aperture. A first interlayer insulating film 149 and a second interlayer insulating film 150c are provided between the gate electrode and the second wirings 154 and 157, to lessen the semiconductor device in parasitic capacitance.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-53287

(P 2 0 0 1 - 5 3 2 8 7 A)

(43) 公開日 平成13年2月23日 (2001.2.23)

(51) Int. Cl. ⁷	識別記号	F I	テ-マコード (参考)
H01L 29/786		H01L 29/78	619 A
G02F 1/1368		G09F 9/30	338
G09F 9/30	338	H01L 21/20	
H01L 21/20		27/10	481
21/3065		G02F 1/136	500
審査請求 未請求 請求項の数22 O L (全31頁) 最終頁に続く			

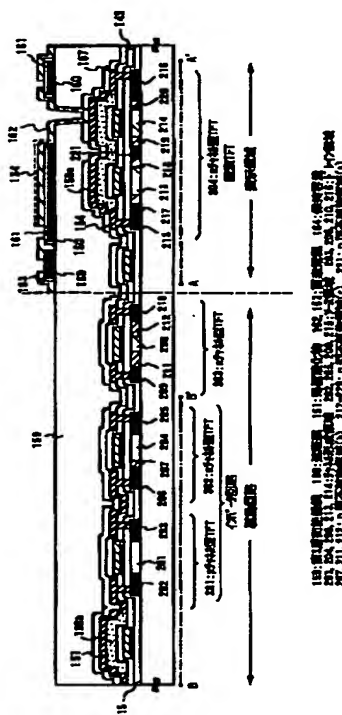
(21) 出願番号	特願2000-165617 (P 2000-165617)	(71) 出願人	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(22) 出願日	平成12年6月2日 (2000.6.2)	(72) 発明者	山崎 舜平 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
(31) 優先権主張番号	特願平11-154432	(72) 発明者	須沢 英臣 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
(32) 優先日	平成11年6月2日 (1999.6.2)	(72) 発明者	山形 裕和 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
(33) 優先権主張国	日本 (J P)		

(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【要約】

【課題】 多層配線間で形成される寄生容量を低減し、表示特性を向上させることを目的とする。

【解決手段】 本願発明では、開口率を向上させるため、画素TFTのチャネル形成領域213、214と重なるゲート電極の一部または全部と第2配線（ソース線またはドレイン線）154、157とを重ねる。また、ゲート電極と第2配線154、157の間には第1層間絶縁膜149及び第2層間絶縁膜150cを設け、寄生容量を低減する。



【特許請求の範囲】

【請求項1】絶縁表面上に第1配線と、
前記第1配線を覆う第1層間絶縁膜と、
前記第1層間絶縁膜上の一部に接して第2層間絶縁膜と、
前記第1層間絶縁膜及び前記第2層間絶縁膜上に第2配線とを有し、
前記第1配線と前記第2配線とが重なっている領域には、前記第1層間絶縁膜と前記第2層間絶縁膜とが積層されていることを特徴とする半導体装置。

【請求項2】請求項1において、前記第1層間絶縁膜のエッチングレートは、前記第2層間絶縁膜のエッチングレートより小さいことを特徴とする半導体装置。

【請求項3】請求項1または請求項2において、前記第1層間絶縁膜の前記第2層間絶縁膜に対するエッチングレートの選択比は、1.5以上であることを特徴とする半導体装置。

【請求項4】請求項1乃至3のいずれかにおいて、前記第1層間絶縁膜の膜厚は50～300nmであることを特徴とする半導体装置。

【請求項5】請求項1乃至4のいずれかにおいて、前記第2層間絶縁膜の膜厚は150nm～1μmであることを特徴とする半導体装置。

【請求項6】絶縁表面上にTFTを少なくとも含む半導体装置において、
前記TFTを形成する第1配線の上方には第1層間絶縁膜と、第2層間絶縁膜と、第2配線とが形成され、
前記TFTのソース領域またはドレイン領域の上方にはゲート絶縁膜と、第1層間絶縁膜と、前記第2配線とが形成されていることを特徴とする半導体装置。

【請求項7】請求項6において、前記ゲート絶縁膜の膜厚と前記第1層間絶縁膜の膜厚との和は0.1μm以上であることを特徴とする半導体装置。

【請求項8】絶縁表面上にTFTを少なくとも含む半導体装置において、
前記TFTを形成する第1配線の上方には第1層間絶縁膜及び第2層間絶縁膜を介して第2配線が存在していることを特徴とする半導体装置。

【請求項9】請求項8において、前記TFTのソース領域またはドレイン領域の上方には第1層間絶縁膜が存在していることを特徴とする半導体装置。

【請求項10】請求項8または請求項9において、前記TFTは逆スタガ型TFTであることを特徴とする半導体装置。

【請求項11】請求項6乃至10のいずれかにおいて、前記第1配線はゲート配線であることを特徴とする半導体装置。

【請求項12】同一基板上に画素回路と該画素回路を制御するための駆動回路とを少なくとも含む半導体装置において、

前記画素回路を形成する画素TFTのチャネル形成領域は、ゲート絶縁膜を介してゲート配線の一部と重なるように形成され、該ゲート配線の一部はエッチングレートの異なる複数の絶縁膜を介して第2配線と重なっていることを特徴とする半導体装置。

【請求項13】請求項6乃至12のいずれかにおいて、前記第2配線はソース線またはドレイン線であることを特徴とする半導体装置。

10 【請求項14】請求項12または請求項13において、前記駆動回路を形成するnチャネル型TFTのLDD領域は、少なくとも一部または全部が、該nチャネル型TFTのゲート配線と重なるように形成され、

前記画素回路を形成する画素TFTのLDD領域は、該画素TFTのゲート電極と重ならないように形成されていることを特徴とする半導体装置。

20 【請求項15】請求項12乃至14のいずれかにおいて、前記駆動回路を形成するnチャネル型TFTのLDD領域は、少なくとも一部または全部が、該nチャネル型TFTのゲート電極と重なるように形成され、

前記画素回路を形成する画素TFTのLDD領域は、該画素TFTのゲート電極と重ならないように形成され、前記画素回路の保持容量は有機樹脂膜の上に設けられた遮蔽膜、該遮蔽膜の酸化物および画素電極で形成されていることを特徴とする半導体装置。

【請求項16】請求項1乃至請求項15に記載された半導体装置とは、アクティブマトリクス型液晶ディスプレイ、アクティブマトリクス型ELディスプレイまたはアクティブマトリクス型ECディスプレイであることを特徴とする半導体装置。

30 【請求項17】請求項16に記載された半導体装置を表示部として用いたゴーグル型ディスプレイ。

【請求項18】請求項16に記載された半導体装置を表示部として用いたビデオカメラ、デジタルカメラ、プロジェクター、カーナビゲーション、パーソナルコンピュータ、または携帯情報端末。

【請求項19】絶縁表面上に第1配線を形成する第1工程と、

前記第1配線を覆う第1層間絶縁膜を形成する第2工程と、

40 前記第1層間絶縁膜上に第2層間絶縁膜を形成する第3工程と、

前記第2層間絶縁膜の一部を選択的に除去する第4工程と、

前記第1配線と重なる第2層間絶縁膜上に第2配線を形成する第5工程とを有することを特徴とする半導体装置の作製方法。

50 【請求項20】絶縁表面上にTFTを少なくとも含む半導体装置の作製方法において、絶縁表面上に活性層を形成する第1工程と、前記活性層に接してゲート絶縁膜を形成する第2工程と、前記活性層の一部にn型不純物元

素または p 型不純物元素を添加してソース領域またはドレイン領域を形成する第 3 工程と、ゲート配線及びゲート電極を覆う第 1 層間絶縁膜を形成する第 4 工程と、前記第 1 層間絶縁膜上に第 2 層間絶縁膜を形成する第 5 工程と、前記第 2 層間絶縁膜にエッチングを行い、前記ソース領域または前記ドレイン領域の上方の第 2 層間絶縁膜を除去する第 6 工程と、前記第 1 層間絶縁膜及び前記ゲート絶縁膜にエッチングを行い、前記ソース領域またはドレイン領域に達するコンタクトホールを形成する第 7 工程と、前記ゲート電極と重なる前記第 2 層間絶縁膜上に、前記ソース領域またはドレイン領域と接する第 2 配線を形成する第 8 工程とを有することを特徴とする半導体装置の作製方法。

【請求項 2 1】同一基板上に画素回路と該画素回路を制御するための駆動回路とを少なくとも含む半導体装置の作製方法において、絶縁表面上に活性層を形成する第 1 工程と、前記活性層に接してゲート絶縁膜を形成する第 2 工程と、前記ゲート絶縁膜上にゲート配線及びゲート電極を形成する第 3 工程と、前記活性層の一部に n 型不純物元素または p 型不純物元素を添加し、n 型不純物領域または p 型不純物領域を形成する第 4 工程と、ゲート配線及びゲート電極を覆う第 1 層間絶縁膜を形成する第 5 工程と、前記ゲート電極と重なる第 1 層間絶縁膜上に第 2 層間絶縁膜を選択的に形成する第 6 工程と、前記第 1 層間絶縁膜及び前記ゲート絶縁膜にエッチングを行い、前記 n 型不純物領域または前記 p 型不純物領域に達するコンタクトホールを形成する第 7 工程と、前記ゲート電極と重なる前記第 2 層間絶縁膜上に、前記 n 型不純物領域または前記 p 型不純物領域と接する第 2 配線を形成する第 8 工程とを有することを特徴とする半導体装置の作製方法。

【請求項 2 2】同一基板上に画素回路と該画素回路を制御するための駆動回路とを少なくとも含む半導体装置の作製方法において、絶縁表面上に活性層を形成する第 1 工程と、前記活性層に接してゲート絶縁膜を形成する第 2 工程と、前記ゲート絶縁膜上にゲート配線及びゲート電極を形成する第 3 工程と、前記活性層の一部に n 型不純物元素または p 型不純物元素を添加し、n 型不純物領域または p 型不純物領域を形成する第 4 工程と、ゲート配線及びゲート電極を覆う第 1 層間絶縁膜を形成する第 5 工程と、前記第 1 層間絶縁膜及び前記ゲート絶縁膜にエッチングを行い、前記 n 型不純物領域または前記 p 型不純物領域に達するコンタクトホールを形成する第 6 工程と、前記第 1 層間絶縁膜上に第 2 層間絶縁膜を選択的に形成する第 7 工程と、前記ゲート電極と重なる前記第 2 層間絶縁膜上に、前記 n 型不純物領域または前記 p 型不純物領域と接する第 2 配線を形成する第 8 工程とを有することを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】本願発明は薄膜トランジスタ（以下、TFT という）で構成された回路を有する半導体装置およびその作製方法に関する。例えば、液晶表示パネルに代表される電気光学装置およびその様な電気光学装置を部品として搭載した電子機器に関する。

【0 0 0 2】なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【0 0 0 3】

【従来の技術】絶縁表面を有する基板上に TFT で形成した大面積集積回路を有する半導体装置の開発が進んでいる。アクティブマトリクス型液晶表示装置、EL 表示装置、および密着型イメージセンサはその代表例として知られている。特に、結晶質シリコン膜（典型的にはポリシリコン膜）を活性層にした TFT（以下、ポリシリコン TFT と記す）は電界効果移動度が高いことから、いろいろな機能回路を形成することも可能である。

【0 0 0 4】例えば、アクティブマトリクス型液晶表示装置には、機能ブロックごとに画像表示を行う画素回路や、CMOS 回路を基本としたシフトレジスタ回路、レベルシフト回路、バッファ回路、サンプリング回路などの画素回路を制御するための駆動回路が一枚の基板上に形成される。

【0 0 0 5】アクティブマトリクス型液晶表示装置の画素回路には、数十から数百万個の各画素に TFT が配置され、その TFT のそれぞれには画素電極が設けられている。液晶を挟んだ対向基板側には対向電極が設けられており、液晶を誘電体とした一種のコンデンサを形成している。そして、各画素に印加する電圧を TFT のスイッチング機能により制御して、このコンデンサへの電荷を制御することで液晶を駆動し、透過光量を制御して画像を表示する仕組みになっている。

【0 0 0 6】

【発明が解決しようとする課題】絶縁表面上に画素回路及び駆動回路を形成した場合、形成される多層配線間で必然的に容量（寄生容量）が生じてしまう。

【0 0 0 7】この寄生容量の大きさは、下層配線と上層配線とが重なっている電極面積や、重なっている下層配線と上層配線との間の絶縁膜の膜厚等で決定される。

【0 0 0 8】近年、回路の小型化及び低電力化が進むにつれ、この寄生容量の影響が無視できないほど大きくなっている。そこで、この寄生容量の影響を低下させるために補助容量の電極面積を大きくすることが提案されているが、電極面積を大きくすると画素領域の開口率が低下するという問題があった。

【0 0 0 9】また、下層配線と上層配線とが重ならないようにすると、同様に画素領域の開口率が低下する。

【0 0 1 0】特に、対角 1 インチ以下のアクティブマトリクス型液晶表示装置においては、開口率が最も重要視

されている。

【0011】画素領域の開口率を向上させるためには、配線面積を抑えるために配線幅を小さくしたり、下層配線と上層配線を可能な限り重ねて多層配線を形成することが行われている。

【0012】また、回路の小型化によってTFTのソース領域やドレイン領域に達するコンタクトホール寸法の微細化されている。良好なコンタクト接続をとるためには、コンタクトホールをテーパー状に加工して傾斜を持たせるようにすればよいが、極端なテーパー形状加工を行うとコンタクトホール寸法が大きくなってしま10う。例えば0.5~1.5μm程度の直径を有する微小なコンタクトホールを形成しようとした場合、TFTのソース領域やドレイン領域の膜厚は10nm~50nmと薄いため、層間絶縁膜が厚いとエッチング条件によってはオーバーエッチングやエッチング残りなどのエッチング不良が発生していた。

【0013】本発明はこのような課題を解決するための技術であり、多層配線間で形成される寄生容量を低減し、表示特性を向上させることを目的とする。また、そ20うのような半導体装置を実現するための作製方法を提供することを課題とする。

【0014】

【課題を解決するための手段】本明細書で開示する発明の構成は、絶縁表面上に第1配線と、前記第1配線を覆う第1層間絶縁膜と、前記第1層間絶縁膜の一部に接して第2層間絶縁膜と、前記第1層間絶縁膜及び前記第2層間絶縁膜上に第2配線とを有し、前記第1配線と前記第2配線とが重なっている領域には、前記第1層間絶縁膜と前記第2層間絶縁膜とが積層されていることを特30徴とする半導体装置である。

【0015】上記構成において、前記第1層間絶縁膜のエッチングレートは、前記第2層間絶縁膜のエッチングレートより小さいことを特徴としている。

【0016】また、上記各構成において、前記第1層間絶縁膜の前記第2層間絶縁膜に対するエッチングレートの選択比は、1.5以上であることが望ましい。

【0017】また、上記各構成において、前記第1層間絶縁膜の膜厚は50~300nmであることを特徴としている。

【0018】また、上記各構成において、前記第2層間絶縁膜の膜厚は150nm~1μmであることを特徴としている。

【0019】また、他の発明の構成は、絶縁表面上にTFTを少なくとも含む半導体装置において、前記TFTを形成する第1配線の上方には第1層間絶縁膜と、第2層間絶縁膜と、第2配線とが形成され、前記TFTのソース領域またはドレイン領域の上方にはゲート絶縁膜と、第1層間絶縁膜と、前記第2配線とが形成されていることを特徴とする半導体装置である。

【0020】上記構成において、前記ゲート絶縁膜の膜厚と前記第1層間絶縁膜の膜厚との和は0.1μm以上であることを特徴としている。

【0021】また、他の発明の構成は、絶縁表面上にTFTを少なくとも含む半導体装置において、前記TFTを形成する第1配線の上方には第1層間絶縁膜及び第2層間絶縁膜を介して第2配線が存在していることを特徴とする半導体装置である。

【0022】上記構成において、前記TFTのソース領域またはドレイン領域の上方には第1層間絶縁膜が存在していることを特徴としている。

【0023】また、上記各構成において、前記TFTは逆スタガ型TFTであることを特徴としている。

【0024】また、上記各構成において、前記第1配線はゲート配線である。

【0025】また、他の発明の構成は、同一基板上に画素回路と該画素回路を制御するための駆動回路とを少なくとも含む半導体装置において、前記画素回路を形成する画素TFTのチャネル形成領域は、ゲート絶縁膜を介してゲート配線の一部と重なるように形成され、該ゲート配線の一部はエッチングレートの異なる複数の絶縁膜を介して第2配線と重なっていることを特徴とする半導体装置である。

【0026】また、上記各構成において、前記第2配線はソース線またはドレイン線である。

【0027】上記各構成において、前記駆動回路を形成するnチャネル型TFTのLDD領域は、少なくとも一部または全部が、該nチャネル型TFTのゲート配線と重なるように形成され、前記画素回路を形成する画素TFTのLDD領域は、該画素TFTのゲート電極と重ならないように形成されていることを特徴としている。

【0028】上記各構成において、前記駆動回路を形成するnチャネル型TFTのLDD領域は、少なくとも一部または全部が、該nチャネル型TFTのゲート電極と重なるように形成され、前記画素回路を形成する画素TFTのLDD領域は、該画素TFTのゲート電極と重ならないように形成され、前記画素回路の保持容量は有機樹脂膜の上に設けられた遮蔽膜、該遮蔽膜の酸化物および画素電極で形成されていることを特徴としている。

40 【0029】また、上記構成を実現するための発明の構成は、絶縁表面上に第1配線を形成する第1工程と、前記第1配線を覆う第1層間絶縁膜を形成する第2工程と、前記第1層間絶縁膜上に第2層間絶縁膜を形成する第3工程と、前記第2層間絶縁膜の一部を選択的に除去する第4工程と、前記第1配線と重なる第2層間絶縁膜上に第2配線を形成する第5工程とを有することを特徴とする半導体装置の作製方法である。

50 【0030】また、他の発明の構成は、絶縁表面上にTFTを少なくとも含む半導体装置の作製方法において、絶縁表面上に活性層を形成する第1工程と、前記活性層

に接してゲート絶縁膜を形成する第2工程と、前記活性層の一部にn型不純物元素またはp型不純物元素を添加してソース領域またはドレイン領域を形成する第3工程と、ゲート配線及びゲート電極を覆う第1層間絶縁膜を形成する第4工程と、前記第1層間絶縁膜上に第2層間絶縁膜を形成する第5工程と、前記第2層間絶縁膜にエッチングを行い、前記ソース領域または前記ドレイン領域の上方の第2層間絶縁膜を除去する第6工程と、前記第1層間絶縁膜及び前記ゲート絶縁膜にエッチングを行い、前記ソース領域またはドレイン領域に達するコンタクトホールを形成する第7工程と、前記ゲート電極と重なる前記第2層間絶縁膜上に、前記ソース領域またはドレイン領域と接する第2配線を形成する第8工程とを有することを特徴とする半導体装置の作製方法である。

【0031】また、他の発明の構成は、同一基板上に画素回路と該画素回路を制御するための駆動回路とを少なくとも含む半導体装置の作製方法において、絶縁表面上に活性層を形成する第1工程と、前記活性層に接してゲート絶縁膜を形成する第2工程と、前記ゲート絶縁膜上にゲート配線及びゲート電極を形成する第3工程と、前記活性層の一部にn型不純物元素またはp型不純物元素を添加し、n型不純物領域またはp型不純物領域を形成する第4工程と、ゲート配線及びゲート電極を覆う第1層間絶縁膜を形成する第5工程と、前記ゲート電極と重なる第1層間絶縁膜上に第2層間絶縁膜を選択的に形成する第6工程と、前記第1層間絶縁膜及び前記ゲート絶縁膜にエッチングを行い、前記n型不純物領域または前記p型不純物領域に達するコンタクトホールを形成する第7工程と、前記ゲート電極と重なる前記第2層間絶縁膜上に、前記n型不純物領域または前記p型不純物領域と接する第2配線を形成する第8工程とを有することを特徴とする半導体装置の作製方法である。

【0032】また、他の発明の構成は、同一基板上に画素回路と該画素回路を制御するための駆動回路とを少なくとも含む半導体装置の作製方法において、絶縁表面上に活性層を形成する第1工程と、前記活性層に接してゲート絶縁膜を形成する第2工程と、前記ゲート絶縁膜上にゲート配線及びゲート電極を形成する第3工程と、前記活性層の一部にn型不純物元素またはp型不純物元素を添加し、n型不純物領域またはp型不純物領域を形成する第4工程と、ゲート配線及びゲート電極を覆う第1層間絶縁膜を形成する第5工程と、前記第1層間絶縁膜及び前記ゲート絶縁膜にエッチングを行い、前記n型不純物領域または前記p型不純物領域に達するコンタクトホールを形成する第6工程と、前記第1層間絶縁膜上に第2層間絶縁膜を選択的に形成する第7工程と、前記ゲート電極と重なる前記第2層間絶縁膜上に、前記n型不純物領域または前記p型不純物領域と接する第2配線を形成する第8工程とを有することを特徴とする半導体装置の作製方法である。

【0033】

【発明の実施の形態】本願発明の実施形態について、図5を用いて以下に説明する。

【0034】図5に示すように、本願発明では、開口率を向上させるため、画素TF Tのチャンネル形成領域213、214と重なるゲート電極の一部または全部と第2配線（ソース線またはドレイン線）154、157とを重ねる。また、ゲート電極と第2配線154、157の間には第1層間絶縁膜149及び第2層間絶縁膜150cを設け、寄生容量を低減する。なお、図8(B)に図5に対応する表示領域の上面図を示した。

【0035】また、ゲート電極と第2配線が重なる領域のみに選択的に第2層間絶縁膜150cが設けられているため、画素TF Tのソース領域またはドレイン領域に達するコンタクトホールの開口を行いやすい。

【0036】また、駆動回路においては、絶縁膜115上に設けられたゲート配線と第2配線151とが交差して重なっている領域に第2層間絶縁膜150bを選択的に形成すればよい。なお、図7(B)に図5に対応する駆動回路の上面図を示した。

【0037】なお、第1層間絶縁膜及び第2層間絶縁膜としては珪素を含む絶縁膜を用いる。珪素を含む絶縁膜としては、酸化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜を用いることができる。これらの膜の成膜方法にはプラズマCVD、減圧CVD、ECRCVD等のCVD法や、スパッタ法等を用いればよい。なお、プラズマCVDを用い、原料ガスにSi源としてTEOS等の有機シランを、O源としてO₂またはO₃を用いればTEOS膜と呼ばれる絶縁膜が形成される。また、原料ガスにSi源としてSiH₄（モノシラン）またはジシラン等の無機シランを用い、O源としてO₂やO₃やN₂Oを用いることができる。なお、減圧CVD法を用い、Si源としてSiH₄（モノシラン）、O源としてO₂やO₃やN₂Oを用いればLTO膜と呼ばれる絶縁膜が形成される。

【0038】なお、窒化酸化シリコン膜は、珪素、窒素及び酸素を所定の量で含む絶縁膜であり、SiO_xN_yで表される絶縁膜である。ただし、窒化酸化シリコン膜におけるSiの濃度に対するNの濃度比は0.1以上0.8以下にする。珪素、酸素、窒素等を含む絶縁膜の組成の制御は原料ガスの種類、流量、基板温度、圧力、RFパワー、電極間隔を適宜調節することによって行う。

【0039】第1層間絶縁膜の膜厚は特に限定されないが、ゲート絶縁膜と同時または順次エッチングし、シリコン層に達するコンタクトホールを形成する際、シリコン層は薄いため、シリコン層と十分選択比が取れる条件（絶縁膜材料、膜厚、エッチングガス等）でエッチングを行うことが重要である。なお、これらの条件を考慮に
いれると、第1層間絶縁膜の膜厚は薄くする（例えば2

00nm以下)ことが望ましい。ただし、活性化工程での酸化からゲート配線を保護する膜厚は必要である。また、微小なコンタクトホールを形成する上では、コンタクトホール形成領域に第2層間絶縁膜が存在しないようにすることが望ましい。

【0040】また、上記構造を実現する本願発明の作製工程は、第2層間絶縁膜のみを選択的にウエットエッチングする工程(図4(B))を有しているため、第2層間絶縁膜に用いる材料は、第1層間絶縁膜よりもエッチングレートの大きな材料とすることが望ましい。

【0041】第1層間絶縁膜と同じ原料ガスを用いて第2層間絶縁膜を成膜する場合でも、第1層間絶縁膜の成膜温度より10℃以上低い温度で成膜するとエッチングレートの大きな膜を得ることができる。

【0042】また、第1層間絶縁膜に熱アニール(750~850℃、15分~4時間)を施し、第1層間絶縁膜のエッチングレートを小さくすることによって、第2層間絶縁膜との選択比を大きくしてもよい。

【0043】なお、第2層間絶縁膜のみを選択的にエッチングする工程の際、ドライエッチングを用いることは可能であるが、第1層間絶縁膜と選択比が十分取れ、テーパー形状が得られるウエットエッチングが望ましい。なお、第2層間絶縁膜の膜厚としては、寄生容量が問題にならない膜厚、例えば0.5μm以上であれば特に限定されない。また、異方性エッチングを用いてもよい。

【0044】また、ソース領域またはドレイン領域に達するコンタクトホール形成の他の方法として、図12に示すようにドライエッチングでゲート絶縁膜及び第1層間絶縁膜にコンタクトホールを形成した後、第2層間絶縁膜を積層して再度、ウエットエッチングで第2層間絶縁膜にコンタクトホールを形成してもよい。

【0045】また、第2層間絶縁膜のみを選択的にエッチングする工程として第1層間絶縁膜上に、薄い窒化シリコン膜や、DLC膜や、AlN膜、やAlNO膜等を積層し、それをエッチングのブロッキング層として用いればドライエッチングを用いて第2層間絶縁膜を選択的にエッチングすることができる。また、ドライエッチングを用いてもレジスト形状を変えればテーパー形状とすることができる。

【0046】ここでは、ゲート配線と第2配線との間に2層の層間絶縁膜(第1層間絶縁膜及び第2層間絶縁膜)を用いたが、3層、あるいはそれ以上の層間絶縁膜を積層させてもよい。

【0047】上記本願発明の構成とすることで、ゲート電極と第2配線とを重ねるレイアウトとしても寄生容量による表示特性への悪影響をなくすることができる。また、対角1インチ以下のアクティブマトリクス型液晶表示装置であっても、ゲート配線と第2配線とで形成される寄生容量が十分小さく、微小なコンタクトホール(直径が約0.5μm~1.5μm)を形成することができ

る。

【0048】以上の構成でなる本願発明について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

【0049】

【実施例】[実施例1]本発明の実施例について図1~図5を用いて説明する。ここでは、同一基板上に画素回路とその画素回路を制御するための駆動回路とを同時に作製する方法について説明する。但し、説明を簡単にするために、駆動回路では、シフトレジスタ回路、バッファ回路等の基本回路であるCMOS回路と、サンプリング回路を形成するnチャネル型TFTとを図示することとする。

【0050】図1(A)において、基板101には、石英基板やシリコン基板を使用することが望ましい。本実施例では石英基板を用いた。その他にも金属基板またはステンレス基板の表面に絶縁膜を形成したものを基板としても良い。本実施例の場合、800℃以上の温度に耐えうる耐熱性を要求されるので、それを満たす基板であればどのような基板を用いても構わない。

【0051】そして、基板101のTFTが形成される表面には、20~100nm(好ましくは40~80nm)の厚さの非晶質構造を含む半導体膜102を減圧熱CVD法、プラズマCVD法またはスパッタ法で形成する。なお、本実施例では60nm厚の非晶質シリコン膜を形成するが、後に熱酸化工程があるのでこの膜厚が最終的なTFTの活性層の膜厚になるわけではない。

【0052】また、非晶質構造を含む半導体膜としては、非晶質半導体膜、微結晶半導体膜があり、さらに非晶質シリコンゲルマニウム膜などの非晶質構造を含む化合物半導体膜も含まれる。

【0053】また、基板上に下地膜と非晶質シリコン膜とを大気解放しないで連続的に形成することも有効である。そうすることにより基板表面の汚染が非晶質シリコン膜に影響を与えないようにすることが可能となり、作製されるTFTの特性バラツキを低減させることができる。

【0054】次に、非晶質シリコン膜102上に珪素(シリコン)を含む絶縁膜でなるマスク膜103を形成し、パターニングによって開口部104a、104bを形成する。この開口部は、次の結晶化工程の際に結晶化を助長する触媒元素を添加するための添加領域となる。

(図1(A))

【0055】なお、珪素を含む絶縁膜としては、酸化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜を用いることができる。窒化酸化シリコン膜は、珪素、窒素及び酸素を所定の量で含む絶縁膜であり、SiO_xN_yで表される絶縁膜である。窒化酸化シリコン膜はSiH₄、N₂O及びNH₃を原料ガスとして作製することが可能であり、含有する窒素濃度が25atomic%以上50a

atomic%未満とすると良い。

【0056】また、このマスク膜103のパターニングを行うと同時に、後のパターニング工程の基準となるマーカーパターンを形成しておく。

【0057】次に、特開平10-247735号公報（米国出願番号09/034,041に対応）に記載された技術に従って、結晶構造を含む半導体膜を形成する。同公報記載の技術は、非晶質構造を含む半導体膜の結晶化に際して、結晶化を助長する触媒元素（ニッケル、コバルト、ゲルマニウム、錫、鉛、パラジウム、鉄、銅から選ばれた一種または複数種の元素）を用いる結晶化手段である。

【0058】具体的には、非晶質構造を含む半導体膜の表面に触媒元素を保持させた状態で加熱処理を行い、非晶質構造を含む半導体膜を、結晶構造を含む半導体膜に変化させるものである。なお、結晶化手段としては、特開平7-130652号公報の実施例1に記載された技術を用いても良い。また、結晶質構造を含む半導体膜には、いわゆる単結晶半導体膜も多結晶半導体膜も含まれるが、同公報で形成される結晶構造を含む半導体膜は結晶粒界を有している。

【0059】なお、同公報では触媒元素を含む層をマスク膜上に形成する際にスピンコート法を用いているが、触媒元素を含む薄膜をスパッタ法や蒸着法といった気相法を用いて成膜する手段をとっても良い。

【0060】また、非晶質シリコン膜は含有水素量にもよるが、好ましくは400～550℃で1時間程度の加熱処理を行い、水素を十分に脱離させてから結晶化させることが望ましい。その場合、含有水素量を5atom%以下とすることが好ましい。

【0061】結晶化工程は、まず400～500℃で1時間程度の熱処理工程を行い、水素を膜中から脱離させた後、500～650℃（好ましくは550～600℃）で6～16時間（好ましくは8～14時間）の熱処理を行う。

【0062】本実施例では、触媒元素としてニッケルを用い、570℃で14時間の熱処理を行う。その結果、開口部104a、104bを起点として概略基板と平行な方向（矢印で示した方向）に結晶化が進行し、巨視的な結晶成長方向が揃った結晶構造を含む半導体膜（本実施例では結晶質シリコン膜）105a～105dが形成される。（図1（B））

【0063】次に、結晶化の工程で用いたニッケルを結晶質シリコン膜から除去するゲッタリング工程を行う。本実施例では、先ほど形成したマスク膜103をそのままマスクとして15族に属する元素（本実施例ではリン）を添加する工程を行い、開口部104a、104bで露出した結晶質シリコン膜に $1 \times 10^{11} \sim 1 \times 10^{14}$ atoms/cm²の濃度でリンを含むリン添加領域（以下、ゲッタリング領域という）106a、106bを形成する。

（図1（C））

【0064】次に、窒素雰囲気中で450～650℃（好ましくは500～550℃）、4～24時間（好ましくは6～12時間）の熱処理工程を行う。この熱処理工程により結晶質シリコン膜中のニッケルは矢印の方向に移動し、リンのゲッタリング作用によってゲッタリング領域106a、106bに捕獲される。即ち、結晶質シリコン膜中からニッケルが除去されるため、ゲッタリング後の結晶質シリコン膜107a～107dに含まれるニッケル濃度は、 1×10^{11} atoms/cm²以下、好ましくは 1×10^{11} atoms/cm²にまで低減することができる。

【0065】次に、マスク膜103を除去し、結晶質シリコン膜107a～107d上に後の不純物添加工程のために保護膜108を形成する。保護膜108は100～200nm（好ましくは130～170nm）の厚さの窒化酸化シリコン膜または酸化シリコン膜を用いると良い。この保護膜108は不純物添加時に結晶質シリコン膜が直接プラズマに曝されないようにするためと、微妙な濃度制御を可能にするための意味がある。

【0066】そして、その上にレジストマスク109を形成し、保護膜108を介してp型を付与する不純物元素（以下、p型不純物元素という）を添加する。p型不純物元素としては、代表的には13族に属する元素、典型的にはボロンまたはガリウムを用いることができる。この工程（チャネルドープ工程という）はTFTのしきい値電圧を制御するための工程である。なお、ここではジボラン（B₂H₆）を質量分離しないでプラズマ励起したイオンドープ法でボロンを添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。

【0067】この工程により $1 \times 10^{13} \sim 1 \times 10^{14}$ atoms/cm²（代表的には $5 \times 10^{13} \sim 5 \times 10^{14}$ atoms/cm²）の濃度でp型不純物元素（本実施例ではボロン）を含む不純物領域110a、110bを形成する。なお、本明細書中では上記濃度範囲でp型不純物元素を含む不純物領域（但し、リンは含まれていない領域）をp型不純物領域（b）と定義する。（図1（D））

【0068】次に、レジストマスク109を除去し、結晶質シリコン膜をパターニングして島状の半導体層（以下、活性層という）111～114を形成する。なお、活性層111～114は、ニッケルを選択的に添加して結晶化することによって、非常に結晶性の良い結晶質シリコン膜で形成されている。具体的には、棒状または柱状の結晶が、特定の方向性を持って並んだ結晶構造を有している。また、結晶化後、ニッケルをリンのゲッタリング作用により除去又は低減しており、活性層111～114中に残存する触媒元素の濃度は、 1×10^{11} atoms/cm²以下、好ましくは 1×10^{11} atoms/cm²である。（図1（E））

【0069】また、pチャネル型TFTの活性層111は意図的に添加された不純物元素を含まない領域であ

り、nチャネル型TFTの活性層112~114はp型不純物領域(b)となっている。本明細書中では、この状態の活性層111~114は全て真性または実質的に真性であると定義する。即ち、TFTの動作に支障をきたさない程度に不純物元素が意図的に添加されている領域が実質的に真性な領域と考えて良い。

【0070】次に、プラズマCVD法またはスパッタ法により10~100nm厚の珪素を含む絶縁膜を形成する。本実施例では、30nm厚の窒化酸化シリコン膜を形成する。この珪素を含む絶縁膜は、他の珪素を含む絶縁膜を単層または積層で用いても構わない。

【0071】次に、800~1150℃(好ましくは900~1000℃)の温度で15分~8時間(好ましくは30分~2時間)の熱処理工程を、酸化性雰囲気下で行う(熱酸化工程)。本実施例では酸素雰囲気中に3体積%の塩化水素を添加した雰囲気中で950℃80分の熱処理工程を行う。なお、図1(D)の工程で添加されたボロンはこの熱酸化工程の間に活性化される。(図2(A))

【0072】なお、酸化性雰囲気としては、ドライ酸素雰囲気でもウェット酸素雰囲気でも良いが、半導体層中の結晶欠陥の低減にはドライ酸素雰囲気が適している。また、本実施例では酸素雰囲気中にハロゲン元素を含ませた雰囲気としたが、100%酸素雰囲気で行っても構わない。

【0073】この熱酸化工程の間、珪素を含む絶縁膜とその下の活性層111~114との界面においても酸化反応が進行する。本願発明ではそれを考慮して最終的に形成されるゲート絶縁膜115の膜厚が50~200nm(好ましくは100~150nm)となるように調節する。本実施例の熱酸化工程では、60nm厚の活性層のうち25nmが酸化されて活性層111~114の膜厚は45nmとなる。また、30nm厚の珪素を含む絶縁膜に対して50nm厚の熱酸化膜が加わるので、最終的なゲート絶縁膜115の膜厚は110nmとなる。

【0074】次に、新たにレジストマスク116~119を形成する。そして、n型を付与する不純物元素(以下、n型不純物元素という)を添加してn型を呈する不純物領域120~122を形成する。なお、n型不純物元素としては、代表的には15族に属する元素、典型的にはリンまたは砒素を用いることができる。(図2(B))

【0075】この不純物領域120~122は、後にCMOS回路およびサンプリング回路のnチャネル型TFTにおいて、LDD領域として機能させるための不純物領域である。なお、ここで形成された不純物領域にはn型不純物元素が $2 \times 10^{14} \sim 5 \times 10^{15} \text{ atoms/cm}^2$ (代表的には $5 \times 10^{14} \sim 5 \times 10^{15} \text{ atoms/cm}^2$)の濃度で含まれている。本明細書中では上記濃度範囲でn型不純物元素を含む不純物領域をn型不純物領域(b)と定義

する。

【0076】なお、ここではフォスフィン(PH_3)を質量分離しないでプラズマ励起したイオンドープ法でリンを $1 \times 10^{14} \text{ atoms/cm}^2$ の濃度で添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。この工程では、ゲート膜115を介して結晶質シリコン膜にリンを添加する。

【0077】次に、600~1000℃(好ましくは700~800℃)の不活性雰囲気中で熱処理を行い、図2(B)の工程で添加されたリンを活性化する。本実施例では800℃、1時間の熱処理を酸素雰囲気中で行う。(図2(C))

【0078】この時、同時にリンの添加時に損傷した活性層及び活性層とゲート絶縁膜との界面を修復することが可能である。この活性化工程は電熱炉を用いたファーネスアニールが好ましいが、ランプアニールやレーザーアニールといった光アニールを併用しても良い。

【0079】この工程によりn型不純物領域(b)120~122の境界部、即ち、n型不純物領域(b)の周囲に存在する真性又は実質的に真性な領域(勿論、p型不純物領域(b)も含む)との接合部が明確になる。このことは、後にTFTが完成した時点において、LDD領域とチャネル形成領域とが非常に良好な接合部を形成しうることを意味する。

【0080】次に、ゲート配線となる導電膜を形成する。なお、ゲート配線は単層の導電膜で形成しても良いが、必要に応じて二層、三層といった積層膜とすることが好ましい。本実施例では、第1導電膜123と第2導電膜124とでなる積層膜を形成する。(図2(D))

【0081】ここで第1導電膜123、第2導電膜124としては、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)、クロム(Cr)、シリコン(Si)から選ばれた元素、または前記元素を主成分とする導電膜(代表的には窒化タンタル膜、窒化タングステン膜、窒化チタン膜)、または前記元素を組み合わせた合金膜(代表的にはMo-W合金膜、Mo-Ta合金膜、タングステンシリサイド膜等)を用いることができる。

【0082】なお、第1導電膜123は10~50nm(好ましくは20~30nm)とし、第2導電膜124は200~400nm(好ましくは250~350nm)とすれば良い。本実施例では、第1導電膜123として、50nm厚の窒化タングステン(WN)膜を、第2導電膜124として、350nm厚のタングステン膜を用いる。なお、図示しないが、第1導電膜123の下にシリコン膜(リンがドープされた)を2~20nm程度の厚さで形成しておくことは有効である。これによりその上に形成される導電膜の密着性の向上と、酸化防止を図ることができる。

【0083】また、第1導電膜123として窒化タング

ル膜、第2導電膜124としてタンタル膜を用いることも有効である。

【0084】次に、第1導電膜123と第2導電膜124とを一括でエッチングして400nm厚のゲート配線125～128を形成する。この時、駆動回路に形成されるゲート配線126、127はn型不純物領域(b)120～122の一部とゲート絶縁膜115を介して重なるように形成する。この重なった部分が後にLov領域となる。(図2(E))

【0085】なお、この状態における上面図を図6

(A)及び図7(A)に示す。図6(A)中のA-A'断面が図2(E)に相当する。また、図7(A)中のB-B'断面が図2(E)に相当する。図2(E)でのゲート配線128a、128b、128cは断面では三つに見えるが実際は連続的に繋がった一つのパターンから形成されている。

【0086】また、ゲート配線形成後、第2導電膜を保護するために、窒化タンタル膜や窒化タングステン膜を積層して、再度パターニングを施し、第2導電膜を囲ったゲート電極構造としてもよい。

【0087】次に、レジストマスク129を形成し、p型不純物元素(本実施例ではボロン)を添加して高濃度にボロンを含む不純物領域130、131を形成する。本実施例ではジボラン(B_2H_6)を用いたイオンドープ法(勿論、イオンインプランテーション法でも良い)により $3 \times 10^{10} \sim 3 \times 10^{11} \text{ atoms/cm}^2$ (代表的には $5 \times 10^{10} \sim 1 \times 10^{11} \text{ atoms/cm}^2$)濃度でボロンを添加する。なお、本明細書中では上記濃度範囲でp型不純物元素を含む不純物領域をp型不純物領域(a)と定義する。(図3(A))

【0088】次に、レジストマスク129を除去し、ゲート配線及びpチャネル型TFETとなる領域を覆う形でレジストマスク132～134を形成する。そして、n型不純物元素(本実施例ではリン)を添加して高濃度にリンを含む不純物領域135～141を形成する。ここでも、フォスフィン(PH_3)を用いたイオンドープ法(勿論、イオンインプランテーション法でも良い)で行い、この領域のリンの濃度は $1 \times 10^{10} \sim 1 \times 10^{11} \text{ atoms/cm}^2$ (代表的には $2 \times 10^{10} \sim 5 \times 10^{11} \text{ atoms/cm}^2$)とする。(図3(B))

【0089】なお、本明細書中では上記濃度範囲でn型不純物元素を含む不純物領域をn型不純物領域(a)と定義する。また、不純物領域135～141が形成された領域には既に前工程で添加されたリンまたはボロンが含まれるが、十分に高い濃度でリンが添加されることになるので、前工程で添加されたリンまたはボロンの影響は考えなくて良い。従って、本明細書中では不純物領域135～141はn型不純物領域(a)と言い換えても構わない。

【0090】次に、ゲート配線125～128をマスク

として自己整合的にn型不純物元素(本実施例ではリン)を添加する。こうして形成された不純物領域143～146には前記n型不純物領域(b)の $1/2 \sim 1/10$ (代表的には $1/3 \sim 1/4$)の濃度(但し、前述のチャネルドープ工程で添加されたボロン濃度よりも5～10倍高い濃度、代表的には $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^2$ 、典型的には $3 \times 10^{17} \sim 3 \times 10^{18} \text{ atoms/cm}^2$)でリンが添加されるように調節する。なお、本明細書中では上記濃度範囲でn型不純物元素を含む不純物領域(但し、p型不純物領域(a)を除く)をn型不純物領域(c)と定義する。(図3(C))

【0091】なお、この工程ではゲート配線で隠された部分を除いて全ての不純物領域にも $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^2$ の濃度でリンが添加されているが、非常に低濃度であるため各不純物領域の機能には影響を与えない。また、n型不純物領域(b)143～146には既にチャネルドープ工程で $1 \times 10^{15} \sim 1 \times 10^{18} \text{ atoms/cm}^2$ の濃度のボロンが添加されているが、この工程ではp型不純物領域(b)に含まれるボロンの5～10倍の濃度でリンが添加されるので、この場合もボロンはn型不純物領域(b)の機能には影響を与えないと考えて良い。

【0092】但し、厳密にはn型不純物領域(b)147、148のうちゲート配線に重なった部分のリン濃度が $2 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^2$ のままであるのに対し、ゲート配線に重ならない部分はそれに $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^2$ の濃度のリンが加わっており、若干高い濃度でリンを含むことになる。

【0093】また、n型不純物領域(c)を形成する際に、前もってゲート配線の酸化を防ぐキャップ膜(25～100nm)を形成し、オフセット領域を形成してもよい。なお、オフセット領域とは、チャネル形成領域に接して形成され、チャネル形成領域と同一組成の半導体膜となるが、ゲート電圧が印加されないため反転層(チャネル領域)を形成しない高抵抗な領域を指す。オフ電流値を下げるためにはLDD領域とゲート配線の重なりを極力抑えることが重要であり、そういう意味でオフセット領域を設けることは有効と言える。

【0094】次に、第1層間絶縁膜149を形成する。第1層間絶縁膜149としては、珪素を含む絶縁膜、具体的には窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜またはそれらを組み合わせた積層膜で形成すれば良い。また、膜厚は100～400nm、好ましくは200nm以下とすれば良い。本実施例では、プラズマCVD法で成膜温度325℃、 SiH_4 、 N_2O を原料ガスとし、膜厚200nmの窒化酸化シリコン膜(ここでは窒素濃度が5atomic%未満)を用いた。

【0095】その後、それぞれの濃度で添加されたn型またはp型不純物元素を活性化するために熱処理工程を行った。この工程はファーネスアニール法、レーザーア

ニール法、ランプアニール法またはそれらを併用して行うことができる。ファーンレスアニール法で行う場合は、不活性雰囲気中において500～800℃、好ましくは550～600℃で行えば良い。本実施例では800℃、1時間の熱処理を行い、不純物元素を活性化するとともに、第1層間絶縁膜149のエッチングレートを小さくして後に形成される第2層間絶縁膜との選択比を大きくした。第1層間絶縁膜149成膜直後のエッチングレート(20℃におけるLAL500の値)が260nm/minであったのに対し、熱アニール後の第1層間絶縁膜149のエッチングレートを88nm/minと小さくすることができた。(図3(D))

【0096】次に、活性化工程の後、3～100%の水素を含む雰囲気中で、300～450℃で1～4時間の熱処理を行い、活性層の水素化を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0097】活性化工程を終えたら、第1層間絶縁膜149の上に500nm～1.5μm、好ましくは500nm～800nmの厚さを有する第2層間絶縁膜150aを形成する。この第2層間絶縁膜150aは、ゲート配線と上層配線との重なり部分やゲート電極(チャネル形成領域上方に相当する)と上層配線との重なり部に生じる寄生容量の低減のために設けたものである。なお、第2層間絶縁膜150aは第1の層間絶縁膜と比較して

エッチングレートが大きい材料(プラズマCVD法で成膜温度400℃、SiH₄、N₂Oを原料ガスとした窒化酸化シリコン膜(但し窒素濃度が10atomic%以下)、エッチングレート210nm/min)を選択し、膜厚を500nmとした。

【0098】次に、ドライエッチングまたはウエットエッチングによるパターニングを施して、後に形成されるソース配線またはドレイン配線がゲート配線と重なる領域(150b、150c)のみに第2層間絶縁膜を残す。本実施例ではLAL500を用いたウエットエッチングを用いてパターニングした。上述したように、第2層間絶縁膜のエッチングレートは210nm/minであるのに対し、第1層間絶縁膜のエッチングレートは88nm/minであるので十分選択比が取れる。第1層間絶縁膜と第2層間絶縁膜との選択比は、1.5以上、好ましくは3～5有していればよい。(図4(B))

【0099】その後、第1層間絶縁膜及びゲート絶縁膜にパターニングを施し、TFTのソース領域またはドレイン領域に達するコンタクトホールを形成する。ただし、ソース領域およびドレイン領域の厚さは薄い(10nm～50nm)ため、オーバーエッチング量(ポリシリコン膜減り量)が所定値を越えないようエッチング条件を調節することが重要である。

【0100】コンタクトホール形成時のポリシリコン膜減り量の理論値を表1に示す。

【0101】

【表1】

層間絶縁膜200nm：コンタクトホール形成時のp-Si膜減り量

前提条件：

層間膜 (200nm±5%) +Gi膜 (120nm±5%)

min 190nm+114nm=304nm

max 210nm+126nm=336nm

SiO₂エッチングレートの平均値=300nm/min (5nm/sec)

オーバーエッチング時間=0秒

SiO ₂ エッチレート ばらつき (+/-%)	SELECTIVITY (SiO ₂ /p-Si)									
	5	10	15	20	25	30	35	40	45	50
1	78	39	26	19	16	13	11	10	9	8
2	91	46	30	23	18	15	13	11	10	9
3	106	53	35	26	21	18	15	13	12	11
4	120	60	40	30	24	20	17	15	13	12
5	135	67	45	34	27	22	19	17	15	13
6	150	75	50	37	30	25	21	19	17	15
7	165	83	55	41	33	28	24	21	18	17
8	181	90	60	45	36	30	26	23	20	18
9	197	98	66	49	39	33	28	25	22	20
10	213	107	71	53	43	36	30	27	24	21
11	230	115	77	58	46	38	33	29	26	23
12	247	124	82	62	49	41	35	31	27	25
13	265	132	88	66	53	44	38	33	29	26
14	283	141	94	71	57	47	40	35	31	28
15	301	151	100	75	60	50	43	38	33	30

【0102】表1において、前提条件は、ポリシリコン膜上にゲート絶縁膜(窒素を含む酸化シリコン膜、膜厚120nm±5%)と第1層間絶縁膜(窒素を含む酸化シリコン膜、膜厚200nm±5%)とが積層された状態で、エッチングレートが300nm/minのドライエッチングを行う。エッチングレートは、フッ化水素ア

ンモニウムを7.13%とフッ化アンモニウムを15.4%含む混合溶液(ステラケミファ社製、商品名LAL500)の20℃における値である。縦軸はエッチングレートのばらつきを示し、横軸はポリシリコン膜と窒素を含む酸化シリコン膜の選択比である。

【0103】例えば、エッチングレートのばらつきが5

%であり、オーバーエッチング量が所定値、例えば5nm以下となるようにしたい場合、表1から選択比を10よりも大きく持たせる必要があることが読み取れる。このようにして、表1からオーバーエッチング量を所定値以下とするためには、選択比がどれくらい必要かを求めることができる。また、選択比をある値とした場合、エッチングレートのばらつきはどれくらいに抑える必要があるかを求めることができる。また、第1層間絶縁膜が200nmよりも大きい場合の表を表1と同様に作成した場合、選択比が大きく、エッチングレートのばらつきが極小でないとコンタクトホール形成は困難であることがわかった。

【0104】本実施例では、ポリシリコンとの選択比が12~15の絶縁材料を用い、エッチングレートのばらつきを5%以内に抑えたため、オーバーエッチングのほとんどないコンタクトホールを形成することができた。

【0105】そして、ソース配線151~154と、ドレイン配線155~157を形成する。ただし、コンタクトホールの大きさが1μm以下である場合には、コンタクトホールをドライエッチングで形成することが好ましい。なお、CMOS回路を形成するためにドレイン配線155はpチャネル型TFTとnチャネル型TFTとの間で共通化されている。また、図示していないが、本実施例ではこの配線を、Ti膜を200nm、Tiを含むアルミニウム膜500nm、Ti膜100nmをスパッタ法で連続して形成した3層構造の積層膜とする。

【0106】次に、パッシベーション膜158として、窒化シリコン膜、酸化シリコン膜、または窒化酸化シリコン膜で50~500nm（代表的には200~300nm）の厚さで形成する。（図4（C））なお、この状態における上面図を図6（B）及び図7（B）に示す。図6（B）中のA-A'断面が図4（C）A-A'に相当する。また、図7（B）中のB-B'断面が図4（C）B-B'に相当する。

【0107】この時、本実施例では膜の形成に先立ってH₂、NH₃等水素を含むガスを用いてプラズマ処理を行い、成膜後に熱処理を行う。この前処理により励起された水素が第1、第2層間絶縁膜中に供給される。この状態で熱処理を行うことで、パッシベーション膜158の膜質を改善するとともに、第1、第2層間絶縁膜中に添加された水素が下層側に拡散するため、効果的に活性層を水素化することができる。

【0108】また、パッシベーション膜158を形成した後に、さらに水素化工程を行っても良い。例えば、3~100%の水素を含む雰囲気中で、300~450℃で1~12時間の熱処理を行うと良く、あるいはプラズマ水素化法を用いても同様の効果が得られる。なお、水素化工程後に画素電極とドレイン配線を接続するためのコンタクトホールを形成する位置において、パッシベーション膜158に開口部（図示せず）を形成しておいて

も良い。

【0109】その後、有機樹脂からなる第3層間絶縁膜159を約1μmの厚さに形成する。有機樹脂としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB（ベンゾシクロブテン）等を使用することができる。有機樹脂膜を用いることの利点は、成膜方法が簡単である点や、比誘電率が低いので、寄生容量を低減できる点、平坦性に優れる点などが上げられる。なお上述した以外の有機樹脂膜や有機系SiO₂化合物などを用いることもできる。ここでは、アクリルを用い、熱焼成して形成する。

【0110】次に、画素回路となる領域において、第3層間絶縁膜159上に遮蔽膜160を形成する。なお、本明細書中では光と電磁波を遮るという意味で遮蔽膜という文言を用いる。遮蔽膜160はアルミニウム（Al）、チタン（Ti）、タンタル（Ta）から選ばれた元素でなる膜またはいずれかの元素を主成分とする膜で100~300nmの厚さに形成する。本実施例では1wt%のチタンを含有させたアルミニウム膜を125nmの厚さに形成する。

【0111】なお、第3層間絶縁膜159上に酸化シリコン膜等の絶縁膜を5~50nm形成しておくこと、この上に形成する遮蔽膜の密着性を高めることができる。また、有機樹脂で形成した第3層間絶縁膜159の表面にCF₄ガスを用いたプラズマ処理を施すと、表面改質により膜上に形成する遮蔽膜の密着性を向上させることができる。

【0112】また、このチタンを含有させたアルミニウム膜を用いて、遮蔽膜だけでなく他の接続配線を形成することも可能である。例えば、駆動回路内で回路間をつなぐ接続配線を形成できる。但し、その場合は遮蔽膜または接続配線を形成する材料を成膜する前に、予め第3層間絶縁膜にコンタクトホールを形成しておく必要がある。

【0113】次に、遮蔽膜160の表面に陽極酸化法またはプラズマ酸化法（本実施例では陽極酸化法）により20~100nm（好ましくは30~50nm）の厚さの酸化物161を形成する。本実施例では遮蔽膜160としてアルミニウムを主成分とする膜を用いたため、陽極酸化物161として酸化アルミニウム膜（アルミナ膜）が形成される。

【0114】この陽極酸化処理に際して、まず十分にアルカリイオン濃度の小さい酒石酸エチレングリコール溶液を作製する。これは15%の酒石酸アンモニウム水溶液とエチレングリコールとを2:8で混合した溶液であり、これにアンモニア水を加え、pHが7±0.5となるように調節する。そして、この溶液中に陰極となる白金電極を設け、遮蔽膜160が形成されている基板を溶液に浸し、遮蔽膜160を陽極として、一定（数mA~数十mA）の直流電流を流す。

【0115】溶液中の陰極と陽極との間の電圧は陽極酸化物の成長に従い時間と共に変化するが、定電流のまま100V/minの昇圧レートで電圧を上昇させて、到達電圧45Vに達したところで陽極酸化処理を終了させる。このようにして遮蔽膜160の表面には厚さ約50nmの陽極酸化物161を形成することができる。また、その結果、遮蔽膜160の膜厚は90nmとなる。なお、ここで示した陽極酸化法に係わる数値は一例にすぎず、作製する素子の大きさ等によって当然最適値は変化するものである。

【0116】また、ここでは陽極酸化法を用いて遮蔽膜表面のみに絶縁膜を設ける構成としたが、絶縁膜をプラズマCVD法、熱CVD法またはスパッタ法などの気相法によって形成しても良い。その場合も膜厚は20~100nm（好ましくは30~50nm）とすることが好ましい。また、酸化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜、DLC（Diamond like carbon）膜、酸化タンタル膜または有機樹脂膜を用いても良い。さらに、これらを組み合わせた積層膜を用いても良い。

【0117】次に、第3層間絶縁膜159、パッシベーション膜158にドレイン配線157に達するコンタクトホールを形成し、画素電極162を形成する。なお、画素電極163は隣接する別の画素の画素電極である。画素電極162、163は、透過型液晶表示装置とする場合には透明導電膜を用い、反射型の液晶表示装置とする場合には金属膜を用いれば良い。ここでは透過型の液晶表示装置とするために、酸化インジウム・スズ（ITO）膜を110nmの厚さにスパッタ法で形成する。

【0118】また、この時、画素電極162と遮蔽膜160とが陽極酸化物161を介して重なり、保持容量（キャパシタンス・ストレージ）164を形成する。なお、この場合、遮蔽膜160をフローティング状態（電氣的に孤立した状態）か固定電位、好ましくはコモン電位（データとして送られる画像信号の中間電位）に設定しておくことが望ましい。

【0119】こうして同一基板上に、駆動回路と画素回路とを有したアクティブマトリクス基板が完成した。なお、図5においては、駆動回路にはpチャネル型TFT301、nチャネル型TFT302、303が形成され、画素回路にはnチャネル型TFTでなる画素TFT304が形成される。

【0120】図5の断面図に対応する上面図を図8（B）に示し、共通の符号を用いた。また、図6（B）で示した上面図は図8（A）の一部を示した図であり、共通の符号を用いた。

【0121】駆動回路のpチャネル型TFT301には、チャネル形成領域201、ソース領域202、ドレイン領域203がそれぞれp型不純物領域（a）で形成される。但し、厳密にはソース202領域及びドレイン領域203に $1 \times 10^{14} \sim 5 \times 10^{14}$ atoms/cm³の濃度

でリンを含んでいる。

【0122】また、nチャネル型TFT302には、チャネル形成領域204、ソース領域205、ドレイン領域206、そしてチャネル形成領域とドレイン領域との間に、ゲート絶縁膜を介してゲート配線と重なった領域（本明細書中ではこのような領域をLov領域という。なお、ovはoverlapの意味で付した。）207が形成される。この時、Lov領域207は $2 \times 10^{14} \sim 5 \times 10^{14}$ atoms/cm³の濃度でリンを含み、且つ、ゲート配線と全部重なるように形成される。

【0123】また、nチャネル型TFT303には、チャネル形成領域208、ソース領域209、ドレイン領域210、そしてチャネル形成領域を挟むようにしてLDD領域211、212が形成される。即ち、ソース領域とチャネル形成領域との間及びドレイン領域とチャネル形成領域との間にLDD領域が形成される。

【0124】なお、この構造ではLDD領域211、212の一部がゲート配線と重なるように配置されたために、ゲート絶縁膜を介してゲート配線と重なった領域（Lov領域）とゲート配線と重ならない領域（本明細書中ではこのような領域をLoff領域という。なお、loffはoffsetの意味で付した。）が実現されている。

【0125】また、チャネル長3~7μmに対してnチャネル型TFT302のLov領域207の長さ（幅）は0.3~3.0μm、代表的には0.5~1.5μmとすれば良い。また、nチャネル型TFT303のLov領域の長さ（幅）は0.3~3.0μm、代表的には0.5~1.5μm、Loff領域の長さ（幅）は1.0~3.5μm、代表的には1.5~2.0μmとすれば良い。また、画素TFT304に設けられるLoff領域217~220の長さ（幅）は0.5~3.5μm、代表的には2.0~2.5μmとすれば良い。

【0126】また、本実施例ではゲート配線をダブルゲート構造としたが、トリプルゲート構造といったマルチゲート構造として各回路の信頼性を向上させてもよい。また、シングルゲート構造としてもよい。

【0127】また、本実施例では保持容量の誘電体として比誘電率が7~9と高いアルミナ膜を用いたことで、必要な容量を形成するために必要な保持容量の占有面積を少なくすることができる。さらに、本実施例のように画素TFT上に形成される遮蔽膜を保持容量の一方の電極とすることで、アクティブマトリクス型液晶表示装置の画像表示部の開口率を向上させることができる。

【0128】なお、本発明は本実施例に示した保持容量の構造に限定される必要はない。例えば、本出願人による特願平9-316567号出願、特願平9-273444号出願または特願平10-254097号出願に記載された構造の保持容量を用いることもできる。

【0129】また、本願発明の構造は、ゲート配線と上層配線とが重なった領域に第2の層間絶縁膜を設ける構

10

20

30

40

50

成に特徴があるので、それ以外の構成については実施者が適宜決定すればよい。

【0130】ここでアクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を説明する。図9に示すように、図5の状態の基板に対し、配向膜501を形成する。本実施例では配向膜としてポリイミド膜を用いる。また、対向基板502には、透明導電膜503と、配向膜504とを形成する。なお、対向基板には必要に応じてカラーフィルターや遮蔽膜を形成しても良い。

【0131】次に、配向膜を形成した後、ラビング処理を施して液晶分子がある一定のプレチルト角を持って配向するように調節する。そして、画素回路と、駆動回路が形成されたアクティブマトリクス基板と対向基板とを、公知のセル組み工程によってシール材507やスペーサ506などを介して貼りあわせる。その後、両基板の間に液晶505を注入し、封止剤（図示せず）によって完全に封止する。液晶には公知の液晶材料を用いれば良い。このようにして図9に示すアクティブマトリクス型液晶表示装置が完成する。

【0132】次に、このアクティブマトリクス型液晶表示装置の構成を、図10の斜視図を用いて説明する。なお、図10は、図1～図5の断面構造図と対応付けるため、共通の符号を用いている。アクティブマトリクス基板は、石英基板101上に形成された、画素回路801と、ゲート線（走査線）側駆動回路802と、ソース線（信号線）側駆動回路803で構成される。画素回路の画素TFT304はnチャンネル型TFTであり、周辺に設けられる駆動回路はCMOS回路を基本として構成されている。ゲート線側駆動回路802と、ソース線側駆動回路803はそれぞれゲート配線128とソース配線154で画素回路801に接続されている。また、FPC804が接続された外部入出力端子805から駆動回路の入出力端子までの接続配線806、807が設けられている。

【0133】次に、図10に示したアクティブマトリクス型液晶表示装置の回路構成の一例を図11に示す。本実施例のアクティブマトリクス型液晶表示装置は、画像信号駆動回路901、ゲート線側駆動回路（A）907、ゲート線側駆動回路（B）911、プリチャージ回路912、画素回路906を有している。なお、本明細書中において、駆動回路にはソース線側駆動回路901およびゲート線側駆動回路907が含まれる。

【0134】ソース線側駆動回路901は、シフトレジスタ回路902、レベルシフト回路903、バッファ回路904、サンプリング回路905を備えている。また、ゲート線側駆動回路（A）907は、シフトレジスタ回路908、レベルシフト回路909、バッファ回路910を備えている。ゲート線側駆動回路（B）911も同様な構成である。

【0135】このように本発明は、同一基板上に画素回路と該画素回路を制御するための駆動回路とを少なくとも含む半導体装置、例えば同一基板上に信号処理回路、駆動回路および画素回路とを具備した半導体装置を実現しうる。

【0136】また、本実施例の図2（A）までの工程を行うと、結晶格子に連続性を持つ特異な結晶構造の結晶質シリコン膜が形成される。以下、本出願人が実験的に調べた結晶構造の特徴について概略を説明する。なお、この特徴は、本実施例によって完成されたTFTの活性層を形成する半導体層の特徴と一致する。

【0137】上記結晶質シリコン膜は、微視的に見れば複数の針状又は棒状の結晶（以下、棒状結晶と略記する）が集まって並んだ結晶構造を有する。このことはTEM（透過型電子顕微鏡法）による観察で容易に確認できる。

【0138】また、電子線回折及びエックス線（X線）回折を利用すると結晶質シリコン膜の表面（チャンネルを形成する部分）が、結晶軸に多少のずれが含まれているものの主たる配向面として{110}面を有することを確認できる。この時、電子線回折で分析を行えば{110}面に対応する回折斑点がきれいに現れるのを確認することができる。また、各斑点は同心円上に分布を持っていることも確認できる。

【0139】また、個々の棒状結晶が接して形成する結晶粒界をHR-TEM（高分解能透過型電子顕微鏡法）により観察すると、結晶粒界において結晶格子に連続性があることを確認できる。これは観察される格子縞が結晶粒界において連続的に繋がっていることから容易に確認することができる。

【0140】なお、結晶粒界における結晶格子の連続性は、その結晶粒界が「平面状粒界」と呼ばれる粒界であることに起因する。本明細書における平面状粒界の定義は、「Characterization of High-Efficiency Cast-Si Solar Cell Wafers by MBIC Measurement ; Ryuichi Shimokawa and Yutaka Hayashi, Japanese Journal of Applied Physics vol.27, No.5, pp.751-758, 1988」に記載された「Planar boundary」である。

【0141】上記論文によれば、平面状粒界には双晶粒界、特殊な積層欠陥、特殊なtwist粒界などが含まれる。この平面状粒界は電氣的に不活性であるという特徴を持つ。即ち、結晶粒界でありながらキャリアの移動を阻害するトラップとして機能しないため、実質的に存在しないと見なすことができる。

【0142】特に結晶軸（結晶面に垂直な軸）が〈110〉軸である場合、{211}双晶粒界はΣ3の対応粒界とも呼ばれる。Σ値は対応粒界の整合性の程度を示す指針となるパラメータであり、Σ値が小さいほど整合性の良い粒界であることが知られている。

【0143】実際に本実施例の結晶質シリコン膜を詳細

にTEMを用いて観察すれば、結晶粒界の殆ど(90%以上、典型的には95%以上)が $\Sigma 3$ の対応粒界、典型的には $\{211\}$ 双晶粒界であることが判る。

【0144】二つの結晶粒の間に形成された結晶粒界において、両方の結晶の面方位が $\{110\}$ である場合、 $\{111\}$ 面に対応する格子縞がなす角を θ とすると、 $\theta=70.5^\circ$ の時に $\Sigma 3$ の対応粒界となることが知られている。本実施例の結晶質シリコン膜は、結晶粒界において隣接する結晶粒の各格子縞がまさに約 70.5° の角度で連続しており、その事からこの結晶粒界は $\Sigma 3$ の対応粒界であると言える。

【0145】なお、 $\theta=38.9^\circ$ の時には $\Sigma 9$ の対応粒界となるが、この様な他の対応粒界も存在する。いずれにしても不活性であることに変わりはない。

【0146】この様な対応粒界は、同一面方位の結晶粒の間にしか形成されない。即ち、本実施例の結晶質シリコン膜は面方位が概略 $\{110\}$ で揃っているからこそ、広範囲に渡ってこの様な対応粒界を形成しうる。

【0147】この様な結晶構造(正確には結晶粒界の構造)は、結晶粒界において異なる二つの結晶粒が極めて整合性よく接合していることを示している。即ち、結晶粒界において結晶格子が連続的に連なり、結晶欠陥等に起因するトラップ準位を非常に作りにくい構成となっている。従って、この様な結晶構造を有する半導体薄膜は実質的に結晶粒界が存在しない見なすことができる。

【0148】またさらに、 $800\sim 1150^\circ\text{C}$ という高い温度での熱処理工程(実施例1における熱酸化工程に相当する)によって結晶粒内に存在する欠陥が殆ど消滅していることがTEM観察によって確認されている。これはこの熱処理工程の前後で欠陥数が大幅に低減されていることから明らかである。

【0149】この欠陥数の差は電子スピン共鳴分析(Electron Spin Resonance: ESR)によってスピン密度の差となって現れる。現状では本実施例の結晶質シリコン膜のスピン密度は少なくとも 5×10^{17} spins/cm²以下(好ましくは 3×10^{17} spins/cm²以下)であることが判明している。ただし、この測定値は現存する測定装置の検出限界に近いので、実際のスピン密度はさらに低いと予想される。

【0150】以上の事から、本実施例の結晶質シリコン膜は結晶粒内の欠陥が極端に少なく、結晶粒界が実質的に存在しないと見なせるため、単結晶シリコン膜又は実質的な単結晶シリコン膜と考えて良い。

【0151】【実施例2】実施例1では、結晶構造を含む半導体膜の形成方法として、結晶化を助長する触媒元素を用いる例を示したが、本実施例では、そのような触媒元素を用いずに熱結晶化またはレーザー結晶化によって結晶構造を含む半導体膜を形成する場合を示す。

【0152】熱結晶化による場合、非晶質構造を示す半導体膜を形成した後、 $600\sim 650^\circ\text{C}$ の温度で $15\sim$

24 時間の熱処理を行えばよい。即ち、 600°C を越える温度で熱処理を行うことにより自然核が発生し、結晶化が進行する。

【0153】また、レーザー結晶化による場合、非晶質構造を含む半導体膜を形成した後、レーザーアニールを行えばよい。これにより短時間で結晶構造を含む半導体膜を形成することができる。勿論、レーザーアニールの代わりにランプアニールを用いてもよい。また、基板として、石英基板の他にガラス基板やプラスチック基板を用いることが可能である。

【0154】また、基板上に下地膜と非晶質シリコン膜とを大気解放しないで連続的に形成することも有効である。そうすることにより基板表面の汚染が非晶質シリコン膜に影響を与えないようにすることが可能となり、作製されるTFETの特性バラツキを低減させることができる。

【0155】このように、本発明に用いる結晶構造を含む半導体膜は、公知のあらゆる手段を用いて形成することができる。

【0156】【実施例3】本実施例は、実施例1とは異なる方法によりコンタクトホールを形成する例である。本実施例では、活性化の後、コンタクトホールを形成し、第2層間絶縁膜を積層した後、再度パターニングを行うことによってコンタクトホールを形成する。基本的な構成は、実施例1とほぼ同様であるので、相違点のみに着目して説明する。

【0157】まず、実施例1に従って、第1の層間絶縁膜149を積層した後、活性化を行い、図3(D)の状態を得る。なお、図3(D)に対応する図を図12

(A)に示す。

【0158】次いで、ソース領域またはドレイン領域に達するコンタクトホールを形成する。なお、同一のマスクを用いてゲート絶縁膜と第1層間絶縁膜とを同時または順次エッチングする。(図12(B))この時のエッチングをドライエッチングで行えば微細なコンタクトホール($0.5\mu\text{m}\sim 1.5\mu\text{m}$)の形成が可能である。

【0159】次いで、第2層間絶縁膜1201を積層し、図12(C)の状態を得る。第2層間絶縁膜は実施例1と同一の組成を有する絶縁膜を用いた。次いで、第2層間絶縁膜1201のパターニングを行った後、実施例1と同様にソース配線、ドレイン配線の形成を行い、実施例1の図4(C)に相当する図12(D)の状態を得る。なお、第2層間絶縁膜のパターニングにおいて、ウェットエッチングを用いるとテーパー形状が得られるので、その上に形成されるソース配線、ドレイン配線のカパレッジが良好となる。以降の工程は実施例1と同一であるため省略する。

【0160】このように、本実施例では、膜質の異なる第1層間絶縁膜と第2層間絶縁膜とを別々にエッチングすることで、オーバーエッチングが少なく、形状の良好

なコンタクトホールを形成することができる。こうすることにより、確実なコンタクト接続が行えるため歩留まりを向上させることができた。

【0161】なお、本実施例の構成は実施例1または実施例2の構成と自由に組み合わせることが可能である。

【0162】〔実施例4〕本実施例は、ゲート絶縁膜のパターニングをゲート電極のパターニング後に行い、コンタクトホール形成を容易に可能とした例である。基本的な構成は、実施例1とほぼ同様であるので、相違点のみに着目して説明する。

【0163】まず、実施例1に従って、図2(E)の状態を得る。なお、図2(E)に対応する図を図13(A)に示す。

【0164】次いで、ゲート電極をマスクとしてエッチングを行いゲート絶縁膜1301を形成した。(図13(B))その後、レジストマスク1304を用いてp型不純物元素のドーピングを行い、実施例1と同じ濃度に添加されたp型不純物領域(a)1302、1303を形成する。ただし、活性層が露呈した状態でドーピングを行うため実施例1とはドーピング条件を変えなければならない。(図13(C))

【0165】次にレジストマスク1304を除去し、レジストマスク1305~1308を形成する。そして、レジストマスク1305~1308を用いてn型不純物元素のドーピングを行い、実施例1と同じ濃度に添加されたn型不純物領域(a)1309~1315を形成する。ただし、実施者は活性層が露呈した状態でドーピングを行うため実施例1とはドーピング条件を変えなければならない。(図13(D))

【0166】次にレジストマスク1305~1308を除去し、ゲート電極をマスクとしてn型不純物元素のドーピングを行い、実施例1と同じ濃度に添加されたn型不純物領域(c)1401~1404を形成する。ただし、実施者は活性層が露呈した状態でドーピングを行うため実施例1とはドーピング条件を変えなければならない。(図14(A))

【0167】次いで、実施例1と同様にして第1層間絶縁膜1405の成膜を行った後、活性化工程を行った。

(図14(B))ただし、本実施例においては、第1層間絶縁膜のみで活性層が覆われている部分があるため、活性層を保護する最低限の膜厚が第1層間絶縁膜に必要とされる。ここでの第1層間絶縁膜の膜厚として、代表的には50nm~200nmであればよい。

【0168】次いで、実施例1と同様に第2層間絶縁膜1406を形成する。(図14(C))

【0169】次いで、実施例1と同様に第1層間絶縁膜と第2層間絶縁膜を同時または順次エッチングを行ってソース領域またはドレイン領域に達するコンタクトホールを形成した後、ソース配線及びドレイン配線を形成する。(図14(D))以降の工程は実施例1と同一であ

るため省略する。

【0170】また、本実施例においては、ゲート絶縁膜のエッチングをゲート配線形成直後に行った例を示したが、ゲート絶縁膜の除去工程を施すのは、ゲート配線形成直後から第2層間絶縁膜形成前までの間であればよい。

【0171】こうすることにより、開口する絶縁膜の積層数を低減できるので歩留まりを向上させることができた。ただし、実施例1と同様に第1層間絶縁膜と第2層間絶縁膜のエッチングレートを考慮にいれることが必要である。

【0172】なお、本実施例の構成は実施例1~3の構成を自由に組み合わせることが可能である。

【0173】〔実施例5〕本実施例では、本発明をシリコン基板上に作製した半導体装置に適用した場合について説明する。典型的には、画素電極として反射率の高い金属膜を用いた反射型液晶表示装置に適用できる。

【0174】本実施例は、実施例1の基板としてシリコン基板(シリコンウェハ)を用い、シリコン基板に直接的にn型またはp型不純物元素を添加してLDD領域、ソース領域またはドレイン領域といった不純物領域を形成する。その際、各不純物領域の形成順序やゲート絶縁膜の形成順序は問わない。

【0175】なお、本実施例の構成は実施例1~4のいずれの構成とも自由に組み合わせることが可能である。但し、活性層となる半導体層は単結晶シリコン基板と決まっているので、結晶化工程以外での組み合わせとなる。

【0176】〔実施例6〕本発明は従来のMOSFET上に層間絶縁膜を形成し、その上にTFTを形成する際に用いることも可能である。即ち、三次元構造の半導体装置を実現することも可能である。また、基板としてSIMOX、Smart-Cut(SOITEC社の登録商標)、ELTRAN(キャノン株式会社の登録商標)などのSOI基板を用いることも可能である。

【0177】なお、本実施例の構成は、実施例1~5のいずれの構成とも自由に組み合わせることが可能である。

【0178】〔実施例7〕本実施例では、同一基板上にメモリ部と駆動回路とを一体形成した半導体装置に適用した場合について説明する。

【0179】なお、メモリ部は不揮発性メモリ(ここではEEPROM)で形成され、図15ではそのメモリセルに形成される一つのメモリトランジスタ(メモリセルトランジスタともいう)を例示する。実際には複数のメモリセルが集積化されてメモリ部を形成する。ここでは集積度の高いフラッシュメモリ(フラッシュEEPROM)を用いて説明する。

【0180】メモリトランジスタはソース領域1505、ドレイン領域1508、低濃度不純物領域(LDD

領域ともいう) 1506及びチャネル形成領域1507を含む活性層、ゲート絶縁膜1500、第1層間絶縁膜1501、第2層間絶縁膜1502c、浮遊ゲート電極1509、第3ゲート絶縁膜11、制御ゲート電極1510、そして第3層間絶縁膜1503を介して形成された共通ソース配線1512、ビット配線(ドレイン配線)1511を有して形成される。

【0181】ソース領域1505は浮遊ゲート電極1509に捕獲されたキャリア(電子)を共通ソース配線1512に引き抜くための領域であり消去領域とも言える。なお、図15ではチャネル形成領域1507との間にLDD領域1506を設けているが、形成しなくても良い。また、ドレイン領域1508は電氣的に孤立した浮遊ゲート電極1509にキャリアを注入するための領域であり書き込み領域とも言える。さらに、ドレイン領域1508はメモリトランジスタに記憶されたデータをビット配線1511に読み出すための読み出し領域としても機能する。

【0182】なお、ゲート絶縁膜1500としてはトンネル電流(ファウラノルドハイム電流)が流れる程度に薄い絶縁膜(膜厚が3~20nm、好ましくは5~10nm)を用いる必要があるため、活性層を酸化して得られた酸化膜(活性層が珪素ならば酸化珪素膜)を用いることが好ましい。勿論、膜厚の均一性と確執さえ良ければ、CVD法やスパッタ法等の気相法で第1ゲート絶縁膜を形成することもできる。

【0183】本実施例においては、制御ゲート電極1510とビット配線1511または共通ソース配線1512との重なり部分に生じる寄生容量を第2層間絶縁膜1502cによって低減した。

【0184】また、駆動回路部を形成する具体例としてCMOS回路を示す。実際には、CMOS回路を基本回路としてフリップフロップ回路等の論理回路が形成され、それらが集積化されて駆動回路部を形成する。CMOS回路においても、ゲート配線と上層配線との寄生容量を低減するための第2層間絶縁膜1502a、1502bが設けられている。

【0185】このように本願発明は様々な半導体素子に適用することができる。

【0186】なお、本実施例の構成は、実施例1~6のいずれの構成とも自由に組み合わせることが可能である。

【0187】[実施例8] 本実施例では異方性エッチングを利用した例である。基本的な構成は、実施例1または実施例3とほぼ同様であるので、相違点のみに着目して図16を用いて説明する。

【0188】本実施例においては、実施例3と同様にゲート電極をマスクとして、ゲート絶縁膜をエッチングし、第1層間絶縁膜を成膜した後、活性化を行って図14(B)と同じ状態を得た。

【0189】次いで、第1層間絶縁膜に異方性エッチングを行い、ゲート電極の両側に三角形の絶縁物1601を形成する。この際、ゲート配線を保護するための保護膜(図示しない)をあらかじめ形成しておくことが好ましい。

【0190】次いで、第2の層間絶縁膜1602を形成する。その後、第2層間絶縁膜にエッチングを行ってソース領域またはドレイン領域に達するコンタクトホールを形成した後、ソース配線及びドレイン配線を形成する。以降の工程は実施例1と同一であるため省略する。

【0191】こうすることにより、開口する絶縁膜の積層数を低減できるのでコンタクトホール形成が簡略化され、歩留まりを向上させることができた。

【0192】また、ゲート電極形成直後に三角形の絶縁物1601を形成し、それを利用してLDD領域などの不純物領域を形成する工程としてもよい。

【0193】なお、本実施例の構成は、実施例1~7のいずれの構成とも自由に組み合わせることが可能である。

【0194】[実施例9] 本実施例では、本発明をボトムゲート型TFTに用いた場合について説明する。具体的には、逆スタガ型TFTに用いた場合を図17に示す。本発明の逆スタガ型TFTの場合、実施例1のトップゲート型TFTとはゲート配線と活性層の位置関係が異なる以外、特に大きく異なることはない。従って、本実施例では、図5に示した構造と大きく異なる点に注目して説明を行い、その他の部分は図5と同一であるため説明を省略する。実施例1と同様にして、寄生容量を低減するための第2層間絶縁膜46、47が形成されている。この第2層間絶縁膜は実施例1に示した方法で形成する。

【0195】図17において、11、12はそれぞれシフトレジスタ回路等を形成するCMOS回路のpチャネル型TFT、nチャネル型TFT、13はサンプリング回路等を形成するnチャネル型TFT、14は画素回路を形成するnチャネル型TFTである。これらは下地膜を設けた基板上に形成されている。

【0196】また、15はpチャネル型TFT11のゲート配線、16はnチャネル型TFT12のゲート配線、17はnチャネル型TFT13のゲート配線、18はnチャネル型TFT14のゲート配線であり、実施例1で説明したゲート配線と同じ材料を用いて形成することができる。また、19はゲート絶縁膜であり、これも実施例1と同じ材料を用いることができる。

【0197】その上には各TFT11~14の活性層(活性層)が形成される。なお、ゲート絶縁膜及び活性層を構成する半導体膜の作製時においては、大気にふれることなくスパッタ法またはPCVD法で連続成膜を行い、形成することが好ましい。pチャネル型TFT11の活性層には、ソース領域20、ドレイン領域21、チ

ャネル形成領域 22 が形成される。

【0198】また、nチャネル型 TFT12 の活性層には、ソース領域 23、ドレイン領域 24、LDD 領域（この場合、Lov 領域 25）、チャネル形成領域 26 が形成される。

【0199】また、nチャネル型 TFT13 の活性層には、ソース領域 27、ドレイン領域 28、LDD 領域（この場合、Lov 領域 29a、30a 及び Loff 領域 29b、30b）、チャネル形成領域 31 が形成される。

【0200】また、nチャネル型 TFT14 の活性層には、ソース領域 32、ドレイン領域 33、LDD 領域（この場合、Loff 領域 34～37）、チャネル形成領域 38、39、n' 領域 40 が形成される。

【0201】なお、41～45 で示される絶縁膜は、チャネル形成領域を保護する目的と LDD 領域を形成する目的のために形成されている。

【0202】以上のように本発明を逆スタガ型 TFT に代表されるボトムゲート型 TFT に適用することは容易である。なお、本実施例の逆スタガ型 TFT を作製するにあたっては、本明細書中に記載された他の実施例に示される作製工程を、公知の逆スタガ型 TFT の作製工程に適用すれば良い。

【0203】なお、本実施例の構成は、実施例 1～8 のいずれの構成とも自由に組み合わせることが可能である。

【0204】〔実施例 10〕本発明はアクティブマトリクス型 EL（エレクトロルミネッセンス）ディスプレイに適用することも可能である。その例を図 18 に示す。

【0205】図 18 はアクティブマトリクス型 EL ディスプレイの回路図である。81 は画素回路を表しており、その周辺には X 方向駆動回路 82、Y 方向駆動回路 83 が設けられている。また、画素回路 81 の各画素は、スイッチ用 TFT84、コンデンサ 85、電流制御用 TFT86、有機 EL 素子 87 を有し、スイッチ用 TFT84 に X 方向信号線 88a（または 88b）、Y 方向信号線 89a（または 89b、89c）が接続される。また、電流制御用 TFT86 には、電源線 90a、90b が接続される。

【0206】本実施例のアクティブマトリクス型 EL ディスプレイでは、X 方向駆動回路 82、Y 方向駆動回路 83 または電流制御用 TFT86 に用いられる TFT を 5 の p チャネル型 TFT301、n チャネル型 TFT302 または 303 を組み合わせて形成する。また、スイッチ用 TFT84 の TFT を図 5 の n チャネル型 TFT304 で形成する。

【0207】なお、本実施例のアクティブマトリクス型 EL ディスプレイに対して、実施例 1～9 のいずれの構成を組み合わせても良い。

【0208】〔実施例 11〕本発明によって作製された液晶表示装置は様々な液晶材料を用いることが可能であ

る。そのような材料として、TN 液晶、PDLC（ポリマー分散型液晶）、FLC（強誘電性液晶）、AFLC（反強誘電性液晶）、または FLC と AFLC の混合物が挙げられる。

【0209】例えば、「H.Furue et al.; Characteristics and Driving Scheme of Polymer-Stabilized Monostable FLC Display Exhibiting Fast Response Time and High Contrast Ratio with Gray-Scale Capability, SID, 1998」、「T.Yoshida et al.; A Full-Color Thresholdless Antiferroelectric LCD Exhibiting Wide Viewing Angle with Fast Response Time, 841, SID97DIGEST, 1997」、または米国特許第 5,594,569 号に開示された材料を用いることができる。

【0210】特に、しきい値なし（無しきい値）の反強誘電性液晶（Thresholdless Antiferroelectric LCE: TL-AFLC と略記する）を使うと、液晶の動作電圧を ±2.5 V 程度に低減しうするため電源電圧として 5～8 V 程度で済む場合がある。即ち、ドライバー回路と画素マトリクス回路を同じ電源電圧で動作させることが可能となり、液晶表示装置全体の低消費電力化を図ることができる。

【0211】また、無しきい値反強誘電性液晶は、V 字型の電気光学応答特性を示すものがあり、その駆動電圧が約 ±2.5 V 程度（セル厚約 1 μm～2 μm）のものも見出されている。

【0212】ここで、V 字型の電気光学応答を示す無しきい値反強誘電性混合液晶の印加電圧に対する光透過率の特性を示す例を図 19 に示す。図 19 に示すグラフの縦軸は透過率（任意単位）、横軸は印加電圧である。なお、液晶パネルの入射側の偏光板の透過軸は、液晶パネルのラビング方向にほぼ一致する無しきい値反強誘電性混合液晶のスメクティック層の法線方向とほぼ平行に設定されている。また、出射側の偏光板の透過軸は、入射側の偏光板の透過軸に対してほぼ直角（クロスニコル）に設定されている。

【0213】また、強誘電性液晶や反強誘電性液晶は TN 液晶に比べて応答速度が速いという利点をもつ。上記実施例で用いるような結晶質 TFT は非常に動作速度の速い TFT を実現しうするため、強誘電性液晶や反強誘電性液晶の応答速度の速さを十分に生かした画像応答速度の速い液晶表示装置を実現することが可能である。

【0214】なお、本実施例の液晶表示装置をパーソナルコンピュータ等の電子機器の表示ディスプレイとして用いることが有効であることは言うまでもない。

【0215】また、本実施例の構成は、実施例 1～9 のいずれの構成とも自由に組み合わせることが可能である。

【0216】〔実施例 12〕本実施例では、本発明を用いて EL（エレクトロルミネッセンス）表示装置を作製した例について説明する。なお、図 20（A）は本発明の

EL表示装置の上面図であり、図20(B)はその断面図である。

【0217】図20(A)において、4001は基板、4002は画素部、4003はソース側駆動回路、4004はゲート側駆動回路であり、それぞれの駆動回路は配線4005を経てFPC(フレキシブルプリントサーキット)4006に至り、外部機器へと接続される。

【0218】このとき、画素部4002、ソース側駆動回路4003及びゲート側駆動回路4004を囲むようにして第1シール材4101、カバー材4102、充填材4103及び第2シール材4104が設けられている。

【0219】また、図20(B)は図20(A)をA-A'で切断した断面図に相当し、基板4001の上にソース側駆動回路4003に含まれる駆動TFT(但し、ここではnチャネル型TFTとpチャネル型TFTを図示している。)4201及び画素部4002に含まれる電流制御用TFT(EL素子への電流を制御するTFT)4202が形成されている。

【0220】本実施例では、駆動TFT4201には図5のpチャネル型TFTまたはnチャネル型TFTと同じ構造のTFTが用いられ、電流制御用TFT4202には図5のpチャネル型TFTと同じ構造のTFTが用いられる。また、画素部4002には電流制御用TFT4202のゲートに接続された保持容量(図示せず)が設けられる。

【0221】駆動TFT4201及び画素TFT4202の上には樹脂材料でなる層間絶縁膜(平坦化膜)4301が形成され、その上に画素TFT4202のドレインと電気的に接続する画素電極(陽極)4302が形成される。画素電極4302としては仕事関数の大きい透明導電膜が用いられる。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したものを用いても良い。

【0222】そして、画素電極4302の上には絶縁膜4303が形成され、絶縁膜4303は画素電極4302の上に開口部が形成されている。この開口部において、画素電極4302の上にはEL(エレクトロルミネッセンス)層4304が形成される。EL層4304は公知の有機EL材料または無機EL材料を用いることができる。また、有機EL材料には低分子系(モノマー系)材料と高分子系(ポリマー系)材料があるがどちらを用いても良い。

【0223】EL層4304の形成方法は公知の蒸着技術もしくは塗布法技術を用いれば良い。また、EL層の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を自由に組み合わせて積層構造または単層構造とすれば良い。

【0224】EL層4304の上には周期表の1族または2族に属する元素を含む導電膜(代表的にはアルミニウム、銅もしくは銀に、アルカリ金属元素もしくはアルカリ土類金属元素を含ませた導電膜)からなる陰極4305が形成される。また、陰極4305とEL層4304の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中で両者を連続成膜するか、EL層4304を窒素または希ガス雰囲気中で形成し、酸素や水分に触れさせないまま陰極4305を形成するといった工夫が必要である。本実施例ではマルチチャンバ方式(クラスターツール方式)の成膜装置を用いることで上述のような成膜を可能とする。

【0225】そして陰極4305は4306で示される領域において配線4005に電気的に接続される。配線4005は陰極4305に所定の電圧を与えるための配線であり、異方導電性フィルム4307を介してFPC4006に電気的に接続される。

【0226】以上のようにして、画素電極(陽極)4302、EL層4304及び陰極4305からなるEL素子が形成される。このEL素子は、第1シール材4101及び第1シール材4101によって基板4001に貼り合わされたカバー材4102で囲まれ、充填材4103により封入されている。

【0227】カバー材4102としては、ガラス材、金属材(代表的にはステンレス材)、セラミックス材、プラスチック材(プラスチックフィルムも含む)を用いることができる。プラスチック材としては、FRP(Fiberglass-Reinforced Plastics)板、PVF(ポリビニルフルオライド)フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。

【0228】但し、EL素子からの光の放射方向がカバー材側に向かう場合にはカバー材は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透明物質を用いる。

【0229】また、充填材4103としては紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC(ポリビニルクロライド)、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB(ポリビニルブチラル)またはEVA(エチレンビニルアセテート)を用いることができる。この充填材4103の内部に吸湿性物質(好ましくは酸化バリウム)もしくは酸素を吸着する物質を設けておくことでEL素子の劣化を抑制できる。

【0230】また、充填材4103の中にスペーサを含ませてもよい。このとき、スペーサを酸化バリウムで形成すればスペーサ自体に吸湿性をもたせることが可能である。また、スペーサを設けた場合、スペーサからの

圧力を緩和するバッファ層として陰極 4305 上に樹脂膜を設けることも有効である。

【0231】また、配線 4005 は異方導電性フィルム 4307 を介して FPC 4006 に電氣的に接続される。配線 4005 は画素部 4002、ソース側駆動回路 4003 及びゲート側駆動回路 4004 に送られる信号を FPC 4006 に伝え、FPC 4006 により外部機器と電氣的に接続される。

【0232】また、本実施例では第 1 シール材 4101 の露呈部及び FPC 4006 の一部を覆うように第 2 シール材 4104 を設け、EL 素子を徹底的に外気から遮断する構造となっている。こうして図 20 (B) の断面構造を有する EL 表示装置となる。

【0233】ここで画素部のさらに詳細な断面構造を図 21 に、上面構造を図 22 (A) に、回路図を図 22 (B) に示す。図 21、図 22 (A) 及び図 22 (B) では共通の符号を用いるので互いに参照すれば良い。

【0234】図 21 において、基板 4401 上に設けられたスイッチング用 TFT 4402 は図 5 の n チャネル型 TFT を用いて形成される。従って、構造の説明は n チャネル型 TFT の説明を参照すれば良い。また、4403 で示される配線は、スイッチング用 TFT 4402 のゲート電極 4404a、4404b を電氣的に接続するゲート配線である。

【0235】なお、本実施例ではチャネル形成領域が二つ形成されるダブルゲート構造としているが、チャネル形成領域が一つ形成されるシングルゲート構造もしくは三つ形成されるトリプルゲート構造であっても良い。

【0236】また、スイッチング用 TFT 4402 のドレイン配線 4405 は電流制御用 TFT 4406 のゲート電極 4407 に電氣的に接続されている。なお、電流制御用 TFT 4406 は図 5 の p チャネル型 TFT 301 を用いて形成される。従って、構造の説明は p チャネル型 TFT 301 の説明を参照すれば良い。なお、本実施例ではシングルゲート構造としているが、ダブルゲート構造もしくはトリプルゲート構造であっても良い。

【0237】スイッチング用 TFT 4402 及び電流制御用 TFT 4406 の上には第 1 パッシベーション膜 4408 が設けられ、その上に樹脂からなる平坦化膜 4409 が形成される。平坦化膜 4409 を用いて TFT による段差を平坦化することは非常に重要である。後に形成される EL 層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、EL 層をできるだけ平坦面に形成しうるように画素電極を形成する前に平坦化しておくことが望ましい。

【0238】また、4410 は透明導電膜からなる画素電極 (EL 素子の陽極) であり、電流制御用 TFT 4406 のドレイン配線 4411 に電氣的に接続される。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、

酸化スズまたは酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したものを用いても良い。

【0239】画素電極 4410 の上には EL 層 4411 が形成される。なお、図 21 では一画素しか図示していないが、本実施例では R (赤)、G (緑)、B (青) の各色に対応した EL 層を作り分けている。また、本実施例では蒸着法により低分子系有機 EL 材料を形成している。具体的には、正孔注入層として 20 nm 厚の銅フタロシアニン (CuPc) 膜を設け、その上に発光層として 70 nm 厚のトリス-8-キノリノラトアルミニウム錯体 (Alq₃) 膜を設けた積層構造としている。Alq₃ にキナクリドン、ペリレンもしくは DCM1 といった蛍光色素を添加することで発光色を制御することができる。

【0240】但し、以上の例は EL 層として用いることのできる有機 EL 材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わせて EL 層 (発光及びそのためのキャリアの移動を行わせるための層) を形成すれば良い。例えば、本実施例では低分子系有機 EL 材料を EL 層として用いる例を示したが、高分子系有機 EL 材料を用いても良い。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機 EL 材料や無機材料は公知の材料を用いることができる。

【0241】次に、EL 層 4411 の上には導電膜からなる陰極 4412 が設けられる。本実施例の場合、導電膜としてアルミニウムとリチウムとの合金膜を用いる。勿論、公知の MgAg 膜 (マグネシウムと銀との合金膜) を用いても良い。陰極材料としては、周期表の 1 族もしくは 2 族に属する元素からなる導電膜もしくはそれらの元素を添加した導電膜を用いれば良い。

【0242】この陰極 4412 まで形成された時点で EL 素子 4413 が完成する。なお、ここでいう EL 素子 4413 は、画素電極 (陽極) 4410、EL 層 4411 及び陰極 4412 で形成されたコンデンサを指す。

【0243】次に、本実施例における画素の上面構造を図 22 (A) を用いて説明する。スイッチング用 TFT 4402 のソースはソース配線 4415 に接続され、ドレインはドレイン配線 4405 に接続される。また、ドレイン配線 4405 は電流制御用 TFT 4406 のゲート電極 4407 に電氣的に接続される。また、電流制御用 TFT 4406 のソースは電流供給線 4416 に電氣的に接続され、ドレインはドレイン配線 4417 に電氣的に接続される。また、ドレイン配線 4417 は点線で示される画素電極 (陽極) 4418 に電氣的に接続される。

【0244】このとき、4419 で示される領域には保持容量が形成される。保持容量 4419 は、電流供給線

4416と電氣的に接続された半導体膜4420、ゲート絶縁膜と同一層の絶縁膜(図示せず)及びゲート電極4407との間で形成される。また、ゲート電極4407、第1層間絶縁膜と同一の層(図示せず)及び電流供給線4416で形成される容量も保持容量として用いることが可能である。

【0245】〔実施例13〕本実施例では、実施例12とは異なる画素構造を有したEL表示装置について説明する。説明には図23を用いる。なお、図22と同一の符号が付してある部分については実施例12の説明を参照すれば良い。

【0246】図23では電流制御用TFT4501として図5のnチャンネル型TFTと同一構造のTFTを用いる。勿論、電流制御用TFT4501のゲート電極4502はスイッチング用TFT4402のドレイン配線4405に電氣的に接続されている。また、電流制御用TFT4501のドレイン配線4503は画素電極4504に電氣的に接続されている。

【0247】本実施例では、導電膜からなる画素電極4504がEL素子の陰極として機能する。具体的には、アルミニウムとリチウムとの合金膜を用いるが、周期表の1族もしくは2族に属する元素からなる導電膜もしくはそれらの元素を添加した導電膜を用いれば良い。

【0248】画素電極4504の上にはEL層4505が形成される。なお、図23では一画素しか図示していないが、本実施例ではG(緑)に対応したEL層を蒸着法及び塗布法(好ましくはスピンコーティング法)により形成している。具体的には、電子注入層として20nm厚のフッ化リチウム(LiF)膜を設け、その上に発光層として70nm厚のPPV(ポリパラフェニレンビニレン)膜を設けた積層構造としている。

【0249】次に、EL層4505の上には透明導電膜からなる陽極4506が設けられる。本実施例の場合、透明導電膜として酸化インジウムと酸化スズとの化合物もしくは酸化インジウムと酸化亜鉛との化合物からなる導電膜を用いる。

【0250】この陽極4506まで形成された時点でEL素子4507が完成する。なお、ここでいうEL素子4507は、画素電極(陰極)4504、EL層4505及び陽極4506で形成されたコンデンサを指す。

【0251】EL素子に加える電圧が10V以上といった高電圧の場合には、電流制御用TFT4501においてホットキャリア効果による劣化が顕在化してくる。このような場合に、電流制御用TFT4501として本発明の構造のnチャンネル型TFTを用いることは有効である。

【0252】また、本実施例の電流制御用TFT4501はゲート電極4502とLDD領域4509との間にゲート容量と呼ばれる寄生容量を形成する。このゲート容量を調節することで図22(A)、(B)に示した保

持容量4418と同等の機能を持たせることも可能である。特に、EL表示装置をデジタル駆動方式で動作させる場合においては、保持容量のキャパシタンスがアナログ駆動方式で動作させる場合よりも小さくて済むため、ゲート容量で保持容量を代用しうる。

【0253】なお、EL素子に加える電圧が10V以下、好ましくは5V以下となった場合、上記ホットキャリア効果による劣化はさほど問題とならなくなるため、図23においてLDD領域4509を省略した構造のnチャンネル型TFTを用いても良い。

【0254】〔実施例14〕本実施例では、実施例12もしくは実施例13に示したEL表示装置の画素部に用いることができる画素構造の例を図24(A)~(C)に示す。なお、本実施例において、4601はスイッチング用TFT4602のソース配線、4603はスイッチング用TFT4602のゲート配線、4604は電流制御用TFT、4605はコンデンサ、4606、4608は電流供給線、4607はEL素子とする。

【0255】図24(A)は、二つの画素間で電流供給線4606を共通とした場合の例である。即ち、二つの画素が電流供給線4606を中心に線対称となるように形成されている点に特徴がある。この場合、電流供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0256】また、図24(B)は、電流供給線4608をゲート配線4603と平行に設けた場合の例である。なお、図24(B)では電流供給線4608とゲート配線4603とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、電流供給線4608とゲート配線4603とで専有面積を共有させることができるため、画素部をさらに高精細化することができる。

【0257】また、図24(C)は、図24(B)の構造と同様に電流供給線4608をゲート配線4603と平行に設け、さらに、二つの画素を電流供給線4608を中心に線対称となるように形成する点に特徴がある。また、電流供給線4608をゲート配線4603のいずれか一方と重なるように設けることも有効である。この場合、電流供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0258】〔実施例15〕本実施例では、本発明を実施したEL表示装置の画素構造の例を図25(A)、

(B)に示す。なお、本実施例において、4701はスイッチング用TFT4702のソース配線、4703はスイッチング用TFT4702のゲート配線、4704は電流制御用TFT、4705はコンデンサ(省略することも可能)、4706は電流供給線、4707は電源制御用TFT、4708は電源制御用ゲート配線、4709はEL素子とする。電源制御用TFT4707の

動作については特願平 11-341272 号を参照すると良い。

【0259】また、本実施例では電源制御用 T F T 4707 を電流制御用 T F T 4704 と E L 素子 4708 との間に設けているが、電源制御用 T F T 4707 と E L 素子 4708 との間に電流制御用 T F T 4704 が設けられた構造としても良い。また、電源制御用 T F T 4707 は電流制御用 T F T 4704 と同一構造とするか、同一の活性層で直列させて形成するのが好ましい。

【0260】また、図 25 (A) は、二つの画素間で電流供給線 4706 を共通とした場合の例である。即ち、二つの画素が電流供給線 4706 を中心に線対称となるように形成されている点に特徴がある。この場合、電流供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0261】また、図 25 (B) は、ゲート配線 4703 と平行に電流供給線 4710 を設け、ソース配線 4701 と平行に電源制御用ゲート配線 4711 を設けた場合の例である。なお、図 25 (B) では電流供給線 4710 とゲート配線 4703 とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、電流供給線 4710 とゲート配線 4703 とで専有面積を共有させることができるため、画素部をさらに高精細化することができる。

【0262】〔実施例 16〕本実施例では、本発明を実施した E L 表示装置の画素構造の例を図 26 (A)、

(B) に示す。なお、本実施例において、4801 はスイッチング用 T F T 4802 のソース配線、4803 はスイッチング用 T F T 4802 のゲート配線、4804 は電流制御用 T F T、4805 はコンデンサ (省略することも可能)、4806 は電流供給線、4807 は消去用 T F T、4808 は消去用ゲート配線、4809 は E L 素子とする。消去用 T F T 4807 の動作については特願平 11-338786 号を参照すると良い。

【0263】消去用 T F T 4807 のドレインは電流制御用 T F T 4804 のゲートに接続され、電流制御用 T F T 4804 のゲート電圧を強制的に変化させることができるようになっている。なお、消去用 T F T 4807 は n チャネル型 T F T としても p チャネル型 T F T としても良いが、オフ電流を小さくできるようにスイッチング用 T F T 4802 と同一構造とすることが好ましい。

【0264】また、図 26 (A) は、二つの画素間で電流供給線 4806 を共通とした場合の例である。即ち、二つの画素が電流供給線 4806 を中心に線対称となるように形成されている点に特徴がある。この場合、電流供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0265】また、図 26 (B) は、ゲート配線 4803 と平行に電流供給線 4810 を設け、ソース配線 48

01 と平行に消去用ゲート配線 4811 を設けた場合の例である。なお、図 26 (B) では電流供給線 4810 とゲート配線 4803 とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、電流供給線 4810 とゲート配線 4803 とで専有面積を共有させることができるため、画素部をさらに高精細化することができる。

【0266】〔実施例 17〕上記 E L 表示装置は画素内にいくつかの T F T を設けた構造としても良い。例えば、四つ乃至六つまたはそれ以上の T F T を設けても構わない。本発明は E L 表示装置の画素構造に限定されずに実施することが可能である。

〔実施例 18〕本発明を実施して形成された C M O S 回路や画素部は、ゲート配線と第 2 配線とを重ねて開口率を向上させても十分寄生容量を小さくすることができた。そのため、特に対角 1 インチ以下のアクティブマトリクス型液晶表示装置に用いるとより効果的である。

【0267】その様な電子機器の一例として、ゴーグル型表示装置 (ヘッドマウントディスプレイ) が挙げられる。図 27 を参照する。図 27 には、本実施例のゴーグル型表示装置の概略構成図が示されている。1900 はゴーグル型表示装置本体、1901 R および 1901 L はレンズ、1902 R および 1902 L は液晶パネル、1903 R および 1903 L はバックライトである。

【0268】本願発明は液晶パネル 1902 R、1902 L やその他の駆動回路に適用できる。

【0269】また、本実施例の構成は、実施例 1 ~ 11 のいずれの構成とも自由に組み合わせることが可能である。

【0270】〔実施例 19〕上記各実施例を実施して形成された C M O S 回路や画素回路は様々な電気光学装置 (アクティブマトリクス型液晶ディスプレイ、アクティブマトリクス型 E L ディスプレイ、アクティブマトリクス型 E C (エレクトロクロミック) ディスプレイ) に用いることができる。即ち、それら電気光学装置を表示部として組み込んだ電子機器全てに本発明を実施できる。

【0271】その様な電子機器としては、大型テレビ、ビデオカメラ、デジタルカメラ、ウェアラブルディスプレイ、カーナビゲーション、パーソナルコンピュータ、携帯情報端末 (モバイルコンピュータ、携帯電話または電子書籍等) などが挙げられる。それらの一例を図 28 及び図 30 に示す。

【0272】図 28 (A) はパーソナルコンピュータであり、本体 2001、画像入力部 2002、表示部 2003、キーボード 2004 で構成される。本願発明を画像入力部 2002、表示部 2003 やその他の駆動回路に適用することができる。

【0273】図 28 (B) はビデオカメラであり、本体 2101、表示部 2102、音声入力部 2103、操作

スイッチ 2104、バッテリー 2105、受像部 2106 で構成される。本願発明を表示部 2102、音声入力部 2103 やその他の駆動回路に適用することができる。

【0274】図 28 (C) はモバイルコンピュータ (モバイルコンピュータ) であり、本体 2201、カメラ部 2202、受像部 2203、操作スイッチ 2204、表示部 2205 で構成される。本願発明は表示部 2205 やその他の駆動回路に適用できる。

【0275】図 28 (D) はデジタルカメラであり、本体 2501、表示部 2502、接眼部 2503、操作スイッチ 2504、受像部 (図示しない) で構成される。本願発明を表示部 2502 やその他の駆動回路に適用することができる。

【0276】図 28 (E) はプログラムを記録した記録媒体 (以下、記録媒体と呼ぶ) を用いるプレーヤーであり、本体 2401、表示部 2402、スピーカ部 2403、記録媒体 2404、操作スイッチ 2405 で構成される。なお、この装置は記録媒体として DVD (Digital Versatile Disc)、CD 等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示部 2402 やその他の駆動回路に適用することができる。

【0277】図 30 (A) は携帯電話であり、本体 2901、音声出力部 2902、音声入力部 2903、表示部 2904、操作スイッチ 2905、アンテナ 2906 等を含む。本願発明を音声出力部 2902、音声入力部 2903、表示部 2904 やその他の信号制御回路に適用することができる。

【0278】図 30 (B) は携帯書籍 (電子書籍) であり、本体 3001、表示部 3002、3003、記憶媒体 3004、操作スイッチ 3005、アンテナ 3006 等を含む。本発明は表示部 3002、3003 やその他の信号回路に適用することができる。

【0279】図 30 (C) はディスプレイであり、本体 3101、支持台 3102、表示部 3103 等を含む。本発明は表示部 3103 に適用することができる。本発明のディスプレイは特に大画面化した場合において有利であり、対角 10 インチ以上 (特に 30 インチ以上) のディスプレイには有利である。

【0280】以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例 1 ~ 18 のどのような組み合わせからなる構成を用いても実現することができる。

【0281】[実施例 20] 本発明を実施して形成された液晶表示装置はプロジェクター (リア型またはフロント型) に用いることができる。

【0282】図 29 (A) はフロント型プロジェクターであり、表示部 2601、スクリーン 2602 で構成さ

れる。本発明は表示部やその他の駆動回路に適用することができる。

【0283】図 29 (B) はリア型プロジェクターであり、本体 2701、表示部 2702、ミラー 2703、スクリーン 2704 で構成される。本発明は表示部やその他の駆動回路に適用することができる。

【0284】なお、図 29 (C) は、図 29 (A) 及び図 29 (B) 中における表示部 2601、2702 の構造の一例を示した図である。表示部 2601、2702 は、光源光学系 2801、ミラー 2802、2804 ~ 2806、ダイクロイックミラー 2803、プリズム 2807、液晶表示装置 2808、位相差板 2809、投射光学系 2810 で構成される。投射光学系 2810 は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図 29 (C) 中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、IR フィルム等の光学系を設けてもよい。

【0285】また、図 29 (D) は、図 29 (C) 中における光源光学系 2801 の構造の一例を示した図である。本実施例では、光源光学系 2801 は、リフレクター 2811、光源 2812、レンズアレイ 2813、2814、偏光変換素子 2815、集光レンズ 2816 で構成される。なお、図 29 (D) に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IR フィルム等の光学系を設けてもよい。

【0286】また、本実施例の電子機器は実施例 1 ~ 9 及び実施例 11 のどのような組み合わせからなる構成を用いても実現することができる。

【0287】

【発明の効果】本願発明を用いることで、多層配線により形成される寄生容量を低減させて、半導体装置 (ここでは具体的に電気光学装置) の動作性能や信頼性を大幅に向上させることができた。

【0288】また、アクティブマトリクス型液晶表示装置に代表される電気光学装置の画素回路において、ゲート配線と第 2 配線とを重ねて開口率を向上させても十分寄生容量を小さくすることができた。そのため、対角 1 インチ以下のアクティブマトリクス型液晶表示装置においても開口率を向上させ、寄生容量を低減するとともに、十分な保持容量を確保することが可能となった。

【0289】また、そのような電気光学装置を表示媒体として有する半導体装置 (ここでは具体的に電子機器) の動作性能と信頼性も向上させることができた。

【図面の簡単な説明】

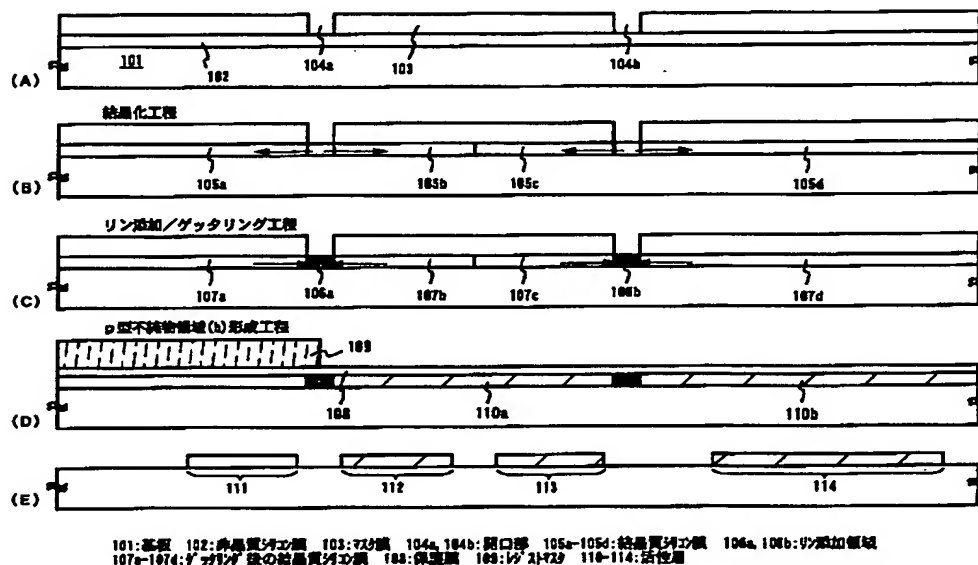
【図 1】 AM-LCD の作製工程を示す図。

【図 2】 AM-LCD の作製工程を示す図。

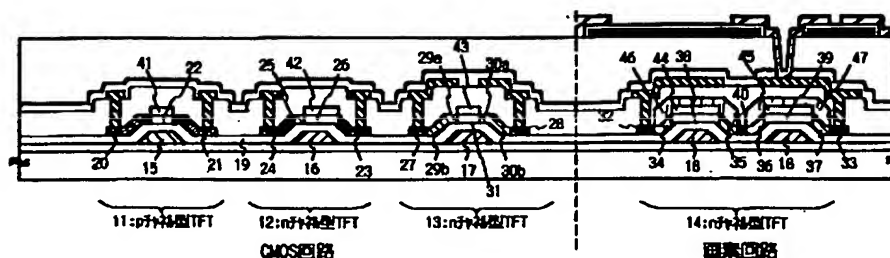
- 【図 3】 AM-LCD の作製工程を示す図。
 【図 4】 AM-LCD の作製工程を示す図。
 【図 5】 AM-LCD の作製工程を示す図。
 【図 6】 AM-LCD の作製工程における上面図。
 【図 7】 AM-LCD の作製工程における上面図。
 【図 8】 画素回路の上面図。
 【図 9】 液晶表示装置の断面構造図。
 【図 10】 AM-LCD の外観を示す図。
 【図 11】 回路ブロック図
 【図 12】 AM-LCD の作製工程を示す図。
 【図 13】 AM-LCD の作製工程を示す図。
 【図 14】 AM-LCD の作製工程を示す図。
 【図 15】 メモリ部及び CMOS 回路の構成を示す図。
 【図 16】 画素回路及び CMOS 回路の構成を示す図。
 【図 17】 画素回路及び CMOS 回路の構成を示す図。
 【図 18】 アクティブマトリクス型 EL 表示装置の構成を示す図。

- 【図 19】 無しき値反強誘電性混合液晶の印加電圧に対する光透過率の特性を示す図
 【図 20】 アクティブマトリクス型 EL 表示装置の上面図及び断面図。
 【図 21】 アクティブマトリクス型 EL 表示装置の画素構造を示す断面図。
 【図 22】 アクティブマトリクス型 EL 表示装置の画素構造を示す上面図。
 【図 23】 アクティブマトリクス型 EL 表示装置の画素構造を示す断面図。
 【図 24】 アクティブマトリクス型 EL 表示装置の回路図。
 【図 25】 アクティブマトリクス型 EL 表示装置の回路図。
 【図 26】 アクティブマトリクス型 EL 表示装置の回路図。
 【図 27】 ゴーグル型表示装置の一例を示す図。
 【図 28】 電子機器の一例を示す図。
 【図 29】 電子機器の一例を示す図。
 【図 30】 電子機器の一例を示す図。

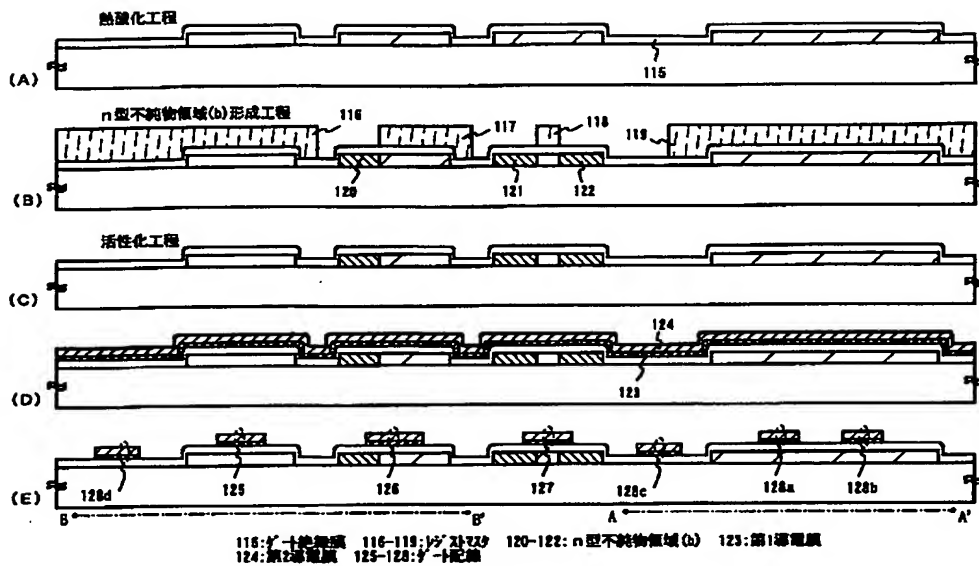
【図 1】



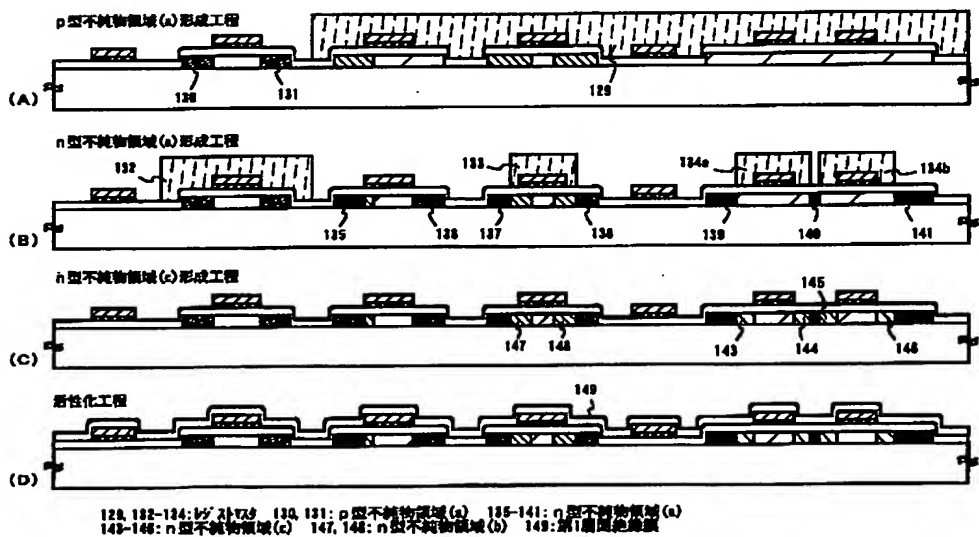
【図 17】



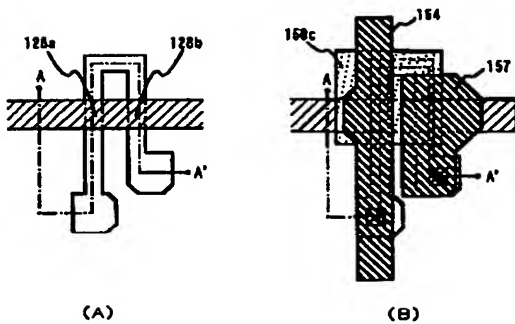
【圖2】



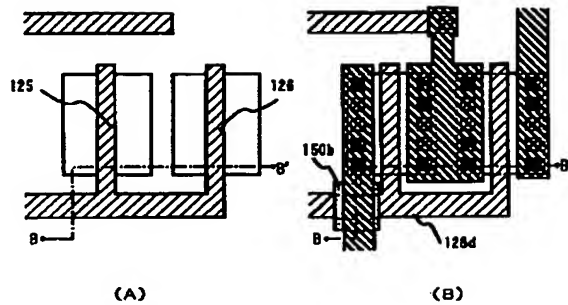
【圖3】



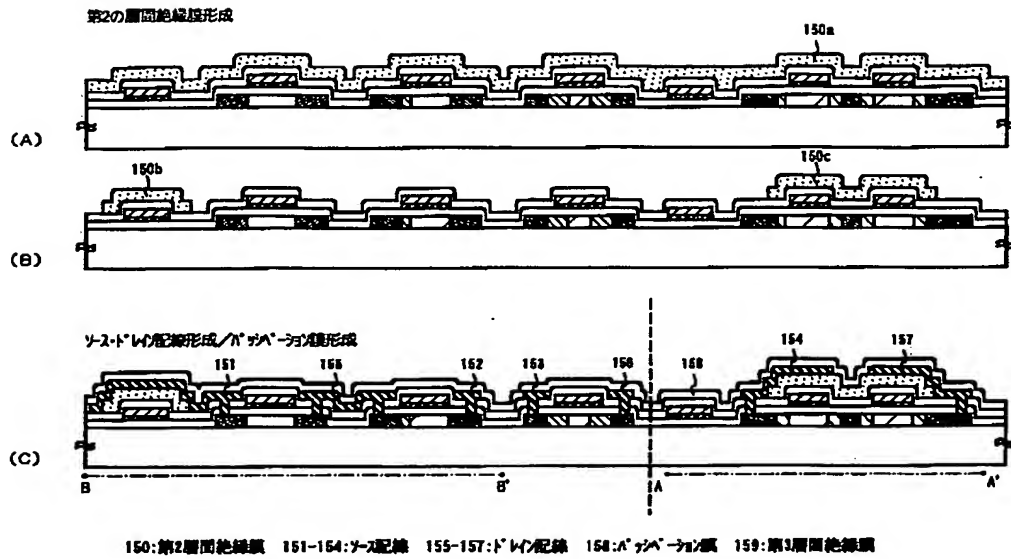
【圖6】



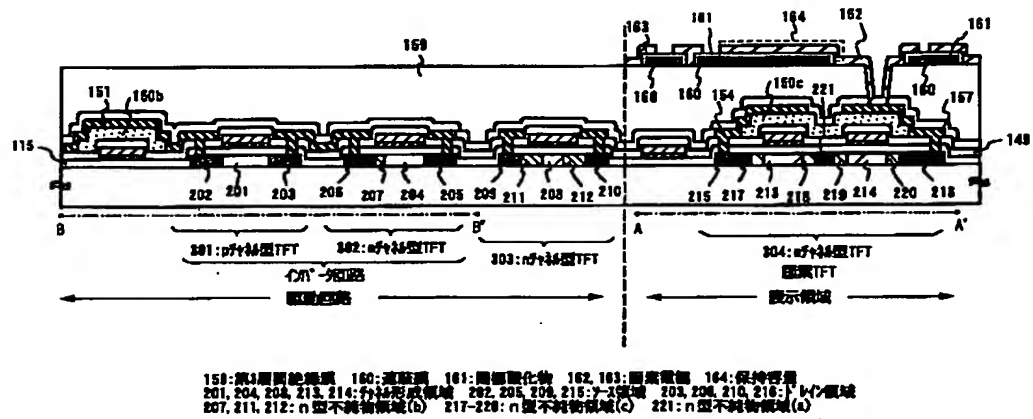
【圖7】



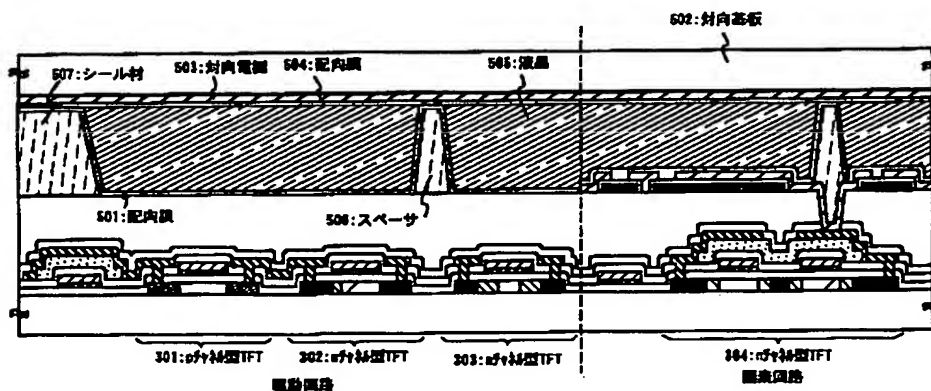
【図4】



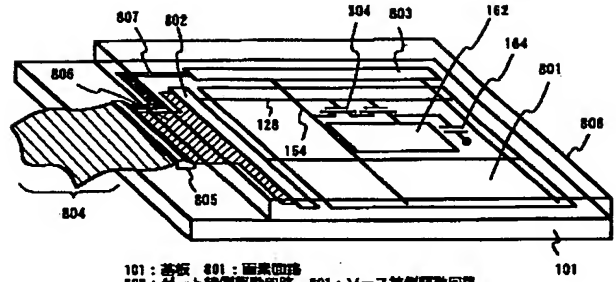
【図5】



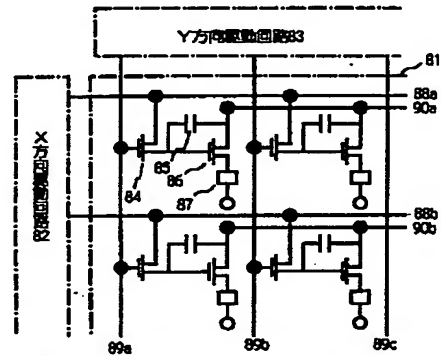
【図9】



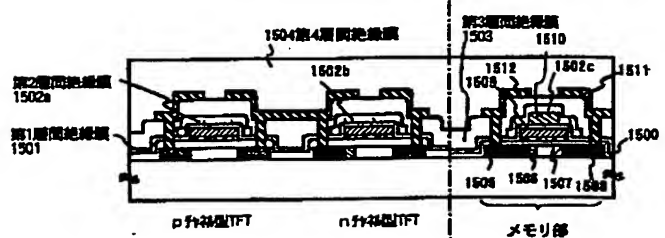
【図 10】



- 【图 18】

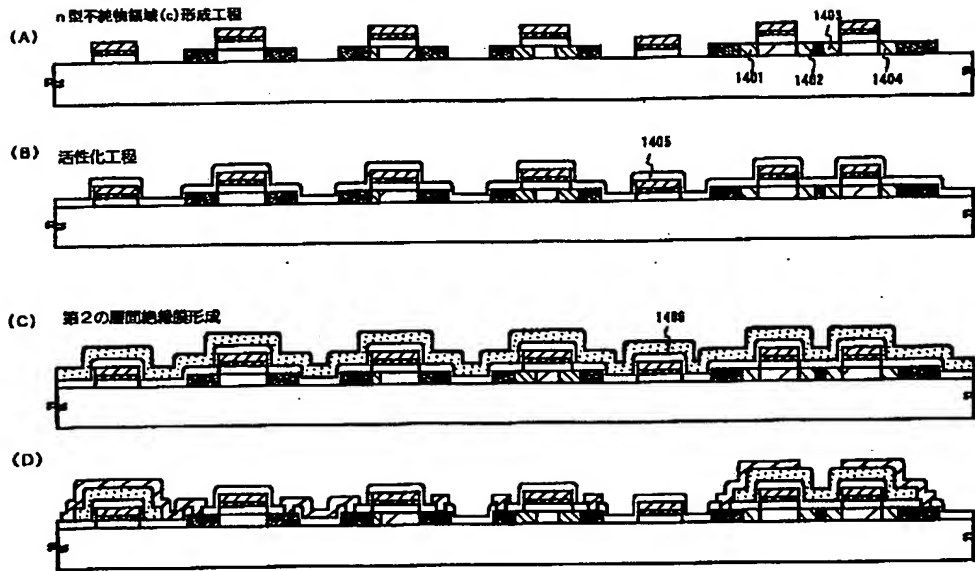


- 【図 15】

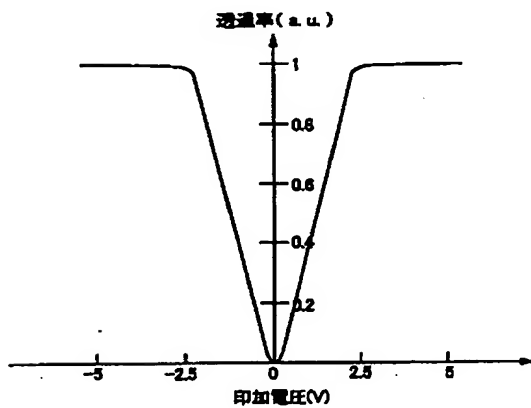


3ト12の回路、8・9の回路等
を形成するCMOS回路

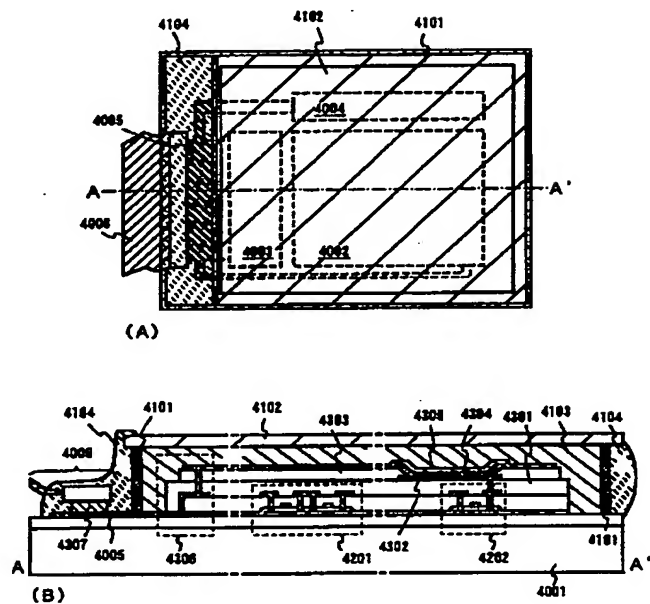
【図14】



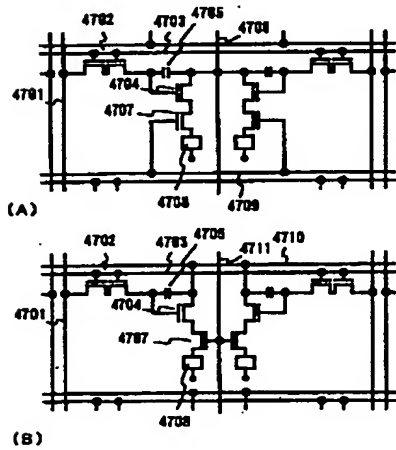
【図19】



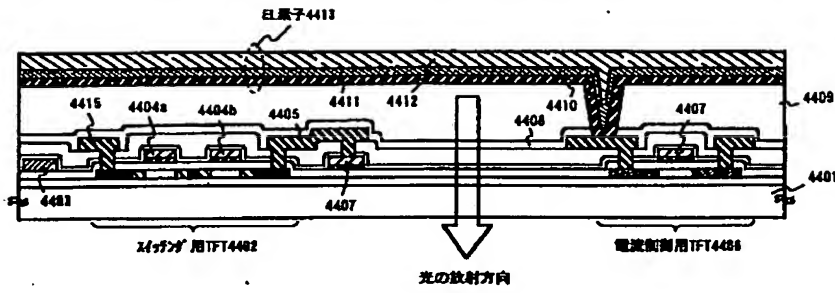
【図20】



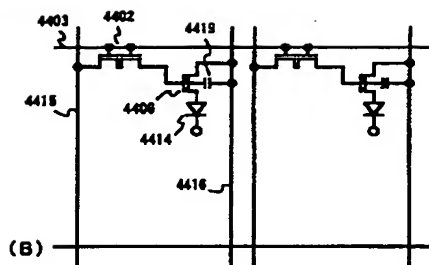
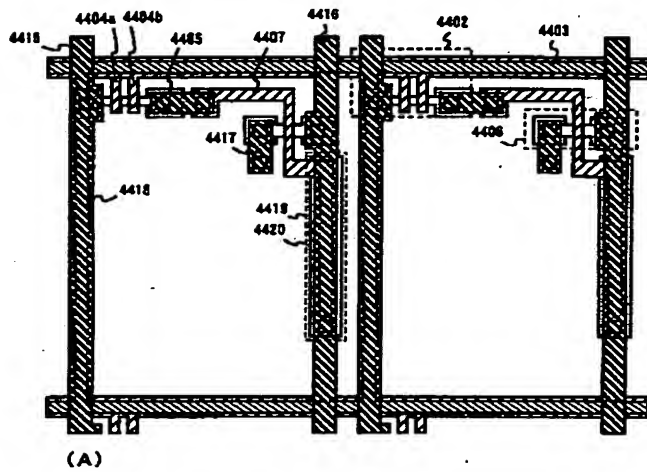
【図25】



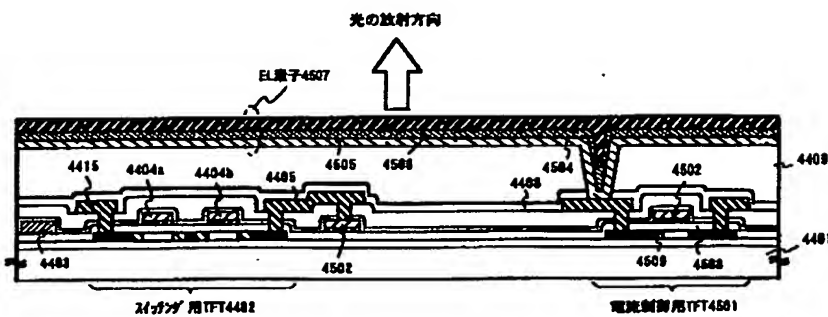
【図 21】



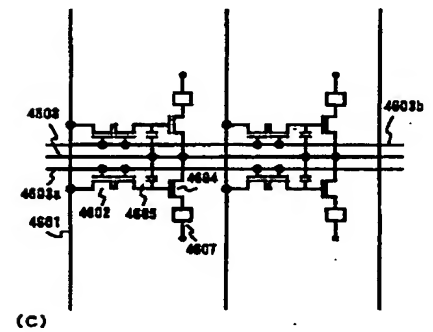
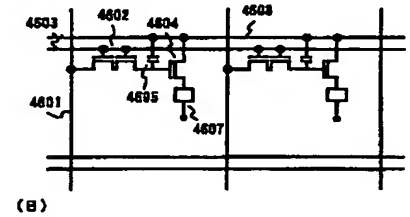
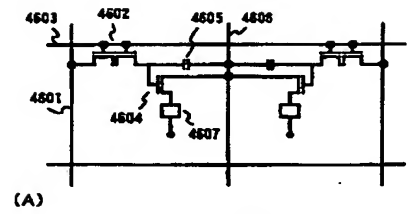
【図 22】



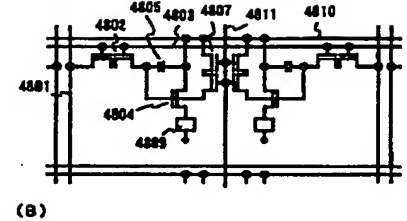
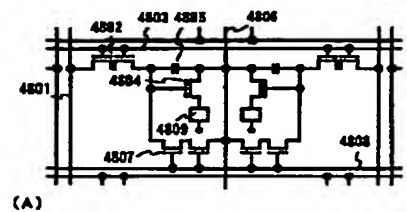
【図 23】



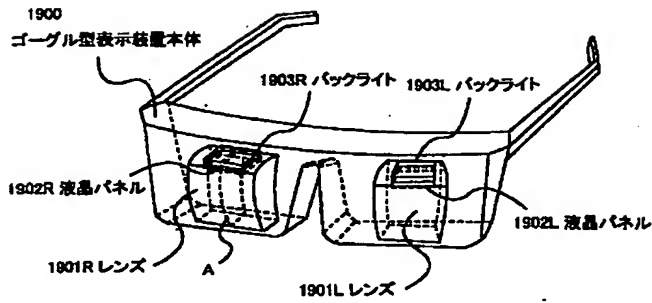
【図 24】



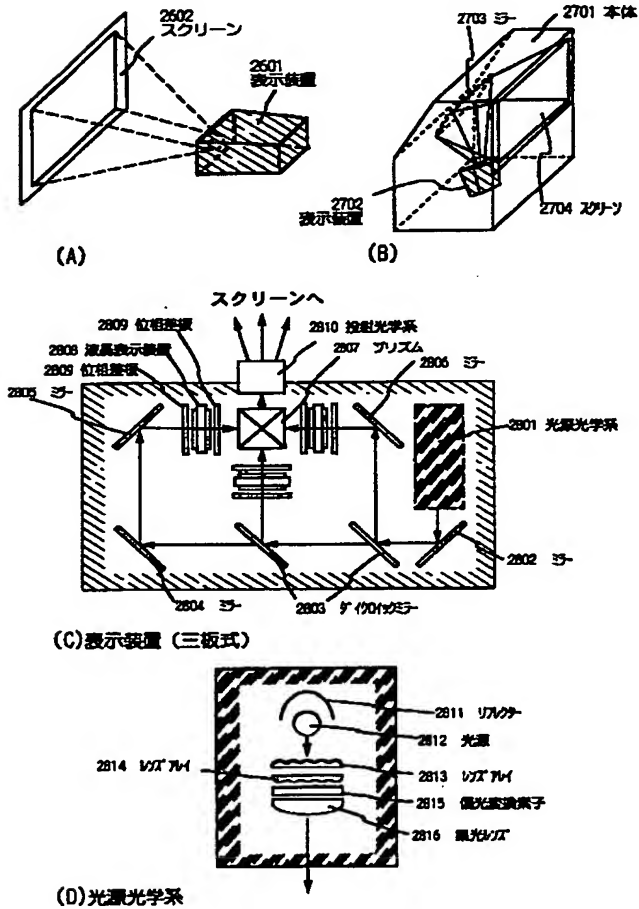
【図 26】



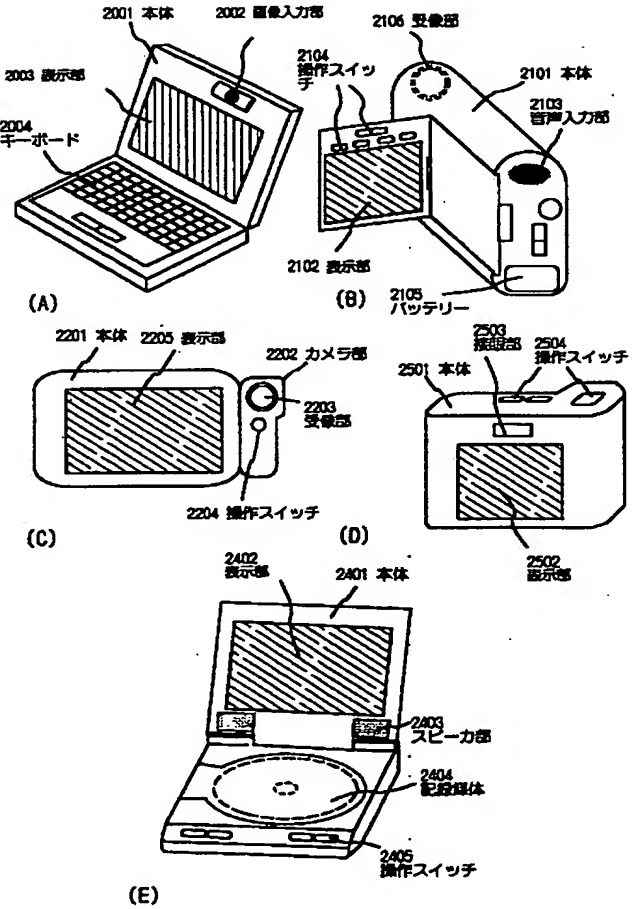
【図 27】



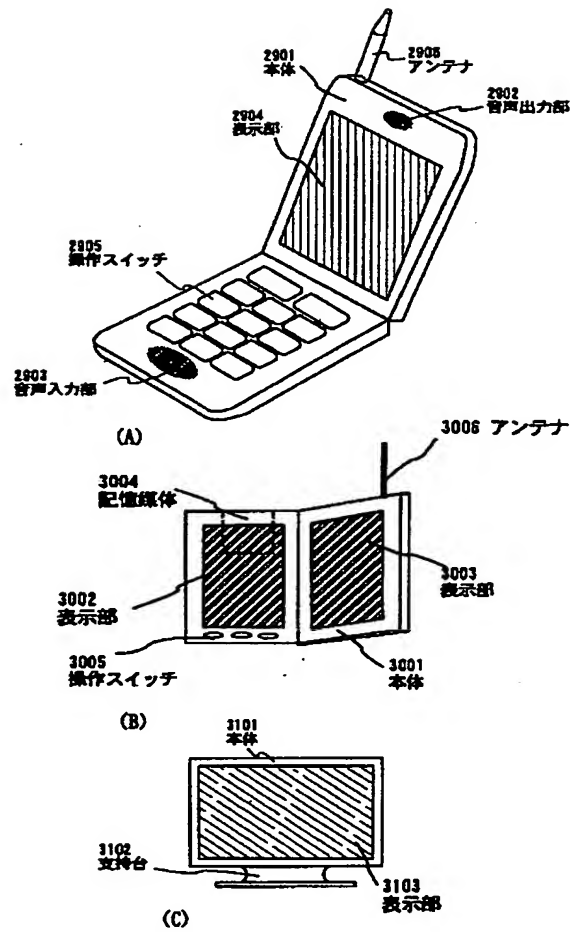
【図 29】



【図 28】



【図 30】



フロントページの続き

(51) Int. Cl. ⁷		識別記号	F I	テマコード (参考)	
H 0 1 L	21/3205		H 0 1 L	21/302	J
	21/8247			21/88	Z
	27/115			27/10	4 3 4
	27/10	4 8 1		29/78	3 7 1
	29/788				6 1 2 C
	29/792				6 1 6 T